



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年 8月30日

出願番号 Application Number: 特願2002-254695

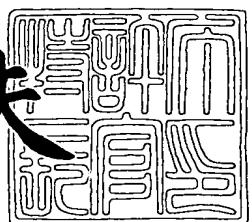
[ST. 10/C]: [JP2002-254695]

出願人 Applicant(s): カシオ計算機株式会社

特許庁長官
Commissioner
Japan Patent Office

2004年 3月 9日

今井康夫



出証番号 出証特2004-3017950

【書類名】 特許願
【整理番号】 02-0845-00
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/60
【発明者】

【住所又は居所】 東京都青梅市今井3丁目10番地6
カシオ計算機株式会社青梅事業所内

【氏名】 定別当 裕康

【特許出願人】

【識別番号】 000001443

【氏名又は名称】 カシオ計算機株式会社

【代理人】

【識別番号】 100073221

【弁理士】

【氏名又は名称】 花輪 義男

【手数料の表示】

【予納台帳番号】 057277

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0015435

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上に設けられた複数の再配線および該各再配線の上に設けられた柱状電極を有する半導体構成体と、該半導体構成体の側方に設けられた枠状の埋込材と、前記半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とする半導体装置。

【請求項2】 各々が、半導体基板と、該半導体基板上に設けられた複数の再配線および該各再配線上に設けられた柱状電極を有し、相互に離間して配置された複数の半導体構成体と、前記半導体構成体の間または前記各半導体構成体の側方に設けられた埋込材と、前記各半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とする半導体装置。

【請求項3】 請求項1または2に記載の発明において、前記半導体構成体と前記埋込材との間に別の絶縁膜が設けられていることを特徴とする半導体装置。

【請求項4】 請求項1または2に記載の発明において、前記埋込材の下面是前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とする半導体装置。

【請求項5】 請求項1または2に記載の発明において、前記埋込材の上面は前記半導体構成体の上面とほぼ同一の平面上に配置されていることを特徴とする半導体装置。

【請求項6】 請求項1または2に記載の発明において、前記埋込材の上面は前記半導体構成体の上面と異なる高さ位置に配置されていることを特徴とする

半導体装置。

【請求項 7】 請求項1または2に記載の発明において、前記半導体構成体および前記埋込材はベース板上に設けられていることを特徴とする半導体装置。

【請求項 8】 請求項1または2に記載の発明において、前記上層再配線はメッキ層を含むことを特徴とする半導体装置。

【請求項 9】 請求項1または2に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の柱状電極と前記上層再配線とを接続する層間再配線が設けられていることを特徴とする半導体装置。

【請求項 10】 請求項1または2に記載の発明において、前記上層再配線を含む前記絶縁膜の上面に前記上層再配線の接続パッド部の少なくとも一部を除く部分に最上層絶縁膜が設けられていることを特徴とする半導体装置。

【請求項 11】 請求項10に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子が設けられていることを特徴とする半導体装置。

【請求項 12】 請求項11に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とする半導体装置。

【請求項 13】 請求項1または2に記載の発明において、前記上層再配線の一部の一端部は前記埋込材の端面まで延ばされ、この端面近傍における部分は接続端子となっていることを特徴とする半導体装置。

【請求項 14】 ベース板上に、少なくとも一方向に所定間隔で埋込材を配置する工程と、

各々が、複数の再配線および該各再配線上に設けられた柱状電極を有する複数の半導体構成体を、前記ベース板上の一方向において、前記埋込材が前記半導体構成体の所定個数毎にその側方に介在されるように配置する工程と、

接続パッド部を有し且ついずれかの前記半導体構成体の対応する前記柱状電極に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッド部が前記埋込材上に配置されるように形成する工程と、

前記半導体構成体間における前記埋込材を切断して少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体の側方に介在された前記埋込材上に配置された前記半導体構成体を少なくとも1つ有する半導体装置を複数個得る

工程とを有することを特徴とする半導体装置の製造方法。

【請求項 15】 請求項 14 に記載の発明において、前記半導体構成体と前記埋込材との間に別の絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 16】 請求項 14 に記載の発明において、前記埋込材を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とする半導体装置の製造方法。

【請求項 17】 請求項 16 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の柱状電極とそれに対応する前記上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 18】 請求項 16 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 19】 請求項 18 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 20】 請求項 16 に記載の発明において、前記埋込材を切断する工程は前記埋込材を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とする半導体装置の製造方法。

【請求項 21】 請求項 20 に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

例えばBGA(ball grid array)と呼ばれる半導体装置には、LSIなどからなる半導体チップを該半導体チップのサイズよりもやや大きいサイズの中継基板(インターポーザ)の上面中央部に搭載し、中継基板の下面に半田ボールによる接続端子をマトリクス状に配置したものがある。ここで、中継基板は、半導体チップ上に形成された外部接続電極を他の回路基板にボンディングする際、接続強度および信頼性を得るために、再配線によりそのサイズおよびピッチを充分大きなものとするために用いられる。

【0003】

図51は従来のこのような半導体装置の一例の断面図を示したものである。半導体チップ1は、シリコン基板2の下面周辺部に銅などからなる複数のバンプ電極3が設けられた構造となっている。

【0004】

中継基板4は、サイズが半導体チップ1のシリコン基板2のサイズよりもやや大きいベースフィルム5を備えている。ベースフィルム5の上面には、半導体チップ1のバンプ電極3に接続される再配線6が設けられている。

【0005】

再配線6は、半導体チップ1のバンプ電極3に対応して設けられた第1の接続パッド7と、マトリクス状に設けられた第2の接続パッド8と、第1と第2の接続パッド7、8を接続する引き回し線9とからなっている。第2の接続パッド8の中央部に対応する部分におけるベースフィルム5には円孔10が設けられている。

【0006】

そして、半導体チップ1は中継基板4の上面中央部に異方性導電接着剤11を介して搭載されている。異方性導電接着剤11は、熱硬化性樹脂12中に多数の導電性粒子13を含有させたものからなっている。

【0007】

半導体チップ1を中継基板4上に搭載する場合には、まず、中継基板4の上面中央部にシート状の異方性導電接着剤11を介して半導体チップ1を位置合わせしてただ単に載置する。

【0008】

次に、熱硬化性樹脂12が硬化する温度にて所定の圧力を加えてボンディングする。すると、バンプ電極3が熱硬化性樹脂12を押し退けて第1の接続パッド7の上面に導電性粒子13を介して導電接続され、且つ、半導体チップ1の下面が中継基板4の上面に熱硬化性樹脂12を介して接着される。

【0009】

次に、半導体チップ1を含む中継基板4の上面全体にエポキシ系樹脂からなる樹脂封止膜14を形成する。次に、円孔10内およびその下方に半田ボール15を第2の接続パッド8に接続させて形成する。この場合、第2の接続パッド8はマトリクス状に配置されているため、半田ボール15もマトリクス状に配置される。

【0010】

ここで、半田ボール15のサイズは半導体チップ1のバンプ電極3のサイズより大きく、また、各半田ボール15相互の接触を避けるため、その配置間隔をバンプ電極3の配置間隔より大きくする必要がある。そこで、半導体チップ1のバンプ電極3の数が増大した場合、各半田ボール15に必要な配置間隔を得るために、その配置領域を半導体チップ1のサイズより大きくすることが必要となり、そのために、中継基板4のサイズを半導体チップ1のサイズよりもやや大きくしている。したがって、マトリクス状に配置された半田ボール15のうち、周辺部の半田ボール15は半導体チップ1の周囲に配置されている。

【0011】**【発明が解決しようとする課題】**

ところで、上記従来の半導体装置では、再配線6が形成された中継基板4を用い、位置合わせした後のボンディングにより、半導体チップ1のバンプ電極3の下面を中継基板4の再配線6の第1の接続パッド7の上面に異方性導電接着剤11の導電性粒子13を介して導電接続する構成としているので、半導体チップ1のバンプ電極3の数が増大し、バンプ電極3のサイズおよび配置間隔が小さくなると、位置合わせが極めて大変であるという問題があった。この場合、半導体チップ1のサイズを大きくすれば、バンプ電極3のサイズおよび配置間隔を大きく

することができることは当然であるが、そのようにすると、ウエハ状態からの半導体チップの取り数が激減し、極めて高価なものとなってしまう。また、半導体チップ1を1つずつ中継基板4上にボンディングして搭載しなければならず、製造工程が煩雑であるという問題があった。このようなことは、半導体チップを複数個備えたマルチチップモジュール型の半導体装置の場合も同様である。

【0012】

そこで、この発明は、ボンディングによることなく外部接続電極の配置間隔を大きくすることができる半導体装置およびその製造方法を提供することを目的とする。

また、この発明は、複数の半導体装置を一括して製造することができる半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

請求項1に記載の発明は、半導体基板上に設けられた複数の再配線および該各再配線の上に設けられた柱状電極を有する半導体構成体と、該半導体構成体の側方に設けられた枠状の埋込材と、前記半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とするものである。

請求項2に記載の発明は、各々が、半導体基板と、該半導体基板上に設けられた複数の再配線および該各再配線上に設けられた柱状電極を有し、相互に離間して配置された複数の半導体構成体と、前記半導体構成体の間または前記各半導体構成体の側方に設けられた埋込材と、前記各半導体構成体の柱状電極を除く上面全体に設けられた絶縁膜と、該絶縁膜および前記埋込材上に、前記柱状電極に接続されて設けられ且つ接続パッド部を有する少なくとも一層の上層再配線とを備え、前記上層再配線の中、最上層の上層再配線の少なくとも一部の接続パッド部は前記埋込材上に配置されていることを特徴とするものである。

請求項3に記載の発明は、請求項1または2に記載の発明において、前記半導

体構成体と前記埋込材との間に別の絶縁膜が設けられていることを特徴とするものである。

請求項 4 に記載の発明は、請求項 1 または 2 に記載の発明において、前記埋込材の下面是前記半導体構成体の下面とほぼ同一の平面上に配置されていることを特徴とするものである。

請求項 5 に記載の発明は、請求項 1 または 2 に記載の発明において、前記埋込材の上面は前記半導体構成体の上面とほぼ同一の平面上に配置されていることを特徴とするものである。

請求項 6 に記載の発明は、請求項 1 または 2 に記載の発明において、前記埋込材の上面は前記半導体構成体の上面と異なる高さ位置に配置されていることを特徴とするものである。

請求項 7 に記載の発明は、請求項 1 または 2 に記載の発明において、前記半導体構成体および前記埋込材はベース板上に設けられていることを特徴とするものである。

請求項 8 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線はメッキ層を含むことを特徴とするものである。

請求項 9 に記載の発明は、請求項 1 または 2 に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記半導体構成体の柱状電極と前記上層再配線とを接続する層間再配線が設けられていることを特徴とするものである。

請求項 10 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線を含む前記絶縁膜の上面に前記上層再配線の接続パッド部の少なくとも一部を除く部分に最上層絶縁膜が設けられていることを特徴とするものである。

請求項 11 に記載の発明は、請求項 10 に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子が設けられていることを特徴とするものである。

請求項 12 に記載の発明は、請求項 11 に記載の発明において、前記突起状の接続端子は半田ボールであることを特徴とするものである。

請求項 13 に記載の発明は、請求項 1 または 2 に記載の発明において、前記上層再配線の一部の一端部は前記埋込材の端面まで延ばされ、この端面近傍における

る部分は接続端子となっていることを特徴とするものである。

請求項14に記載の発明は、ベース板上に、少なくとも一方向に所定間隔で埋込材を配置する工程と、各々が、複数の再配線および該各再配線上に設けられた柱状電極を有する複数の半導体構成体を、前記ベース板上の一方向において、前記埋込材が前記半導体構成体の所定個数毎にその側方に介在されるように配置する工程と、接続パッド部を有し且ついずれかの前記半導体構成体の対応する前記柱状電極に接続される上層再配線を、少なくともいずれかの前記上層再配線の接続パッド部が前記埋込材上に配置されるように形成する工程と、前記半導体構成体間における前記埋込材を切断して少なくともいずれかの前記上層再配線の接続パッド部が前記半導体構成体の側方に介在された前記埋込材上に配置された前記半導体構成体を少なくとも1つ有する半導体装置を複数個得る工程とを有することを特徴とするものである。

請求項15に記載の発明は、請求項14に記載の発明において、前記半導体構成体と前記埋込材との間に別の絶縁膜を形成する工程を有することを特徴とするものである。

請求項16に記載の発明は、請求項14に記載の発明において、前記埋込材を切断する工程は、前記半導体構成体が複数個含まれるように切断することを特徴とするものである。

請求項17に記載の発明は、請求項16に記載の発明において、前記絶縁膜は複数層であり、その層間に、前記各半導体構成体の柱状電極とそれに対応する前記上層再配線とを接続する複数組の層間再配線を形成する工程を有することを特徴とするものである。

請求項18に記載の発明は、請求項16に記載の発明において、前記上層再配線を含む前記絶縁膜の上面において前記上層再配線の接続パッド部を除く部分に最上層絶縁膜を形成する工程を有することを特徴とするものである。

請求項19に記載の発明は、請求項18に記載の発明において、前記上層再配線の接続パッド部上に突起状の接続端子を形成する工程を有することを特徴とするものである。

請求項20に記載の発明は、請求項16に記載の発明において、前記埋込材を

切断する工程は前記埋込材を切断するとともに前記ベース板を切断し、前記半導体装置としてベース板を備えたものを得ることを特徴とするものである。

請求項 21 に記載の発明は、請求項 20 に記載の発明において、切断前の前記ベース板下に別のベース板を配置し、前記ベース板を切断した後に、前記別のベース板を取り除く工程を有することを特徴とするものである。

そして、この発明によれば、半導体基板上に再配線および柱状電極を有する複数または複数組の半導体構成体および埋込材をベース板上に配置し、半導体構成体上の絶縁膜および埋込材上に上層再配線を半導体構成体の柱状電極に接続させて形成し、埋込材を少なくとも切断することにより、半導体構成体を 1 つまたは 1 組有するとともに埋込材を有し、且つ、埋込材上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【0014】

【発明の実施の形態】

(第 1 実施形態)

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示したものである。この半導体装置は、シリコン、ガラス、セラミックス、樹脂、金属などからなる平面正方形状のベース板 21 を備えている。ベース板 21 の上面には、接着剤、粘着シート、両面接着テープなどからなる接着層 22 が設けられている。

【0015】

接着層 22 の上面中央部には、ベース板 21 のサイズよりもやや小さいサイズの平面正方形状の半導体構成体 23 の下面が接着されている。この場合、半導体構成体 23 は、CSP (chip size package) と呼ばれるものであり、接着層 22 の上面中央部に接着されたシリコン基板 (半導体基板) 24 を備えている。シリコン基板 24 の上面周辺部にはアルミニウムなどからなる複数の接続パッド 25 が設けられ、接続パッド 25 の中央部を除くシリコン基板 24 の上面には酸化シ

シリコンなどからなる絶縁膜 26 が設けられている。

【0016】

シリコン基板 24 上に接続パッド 25 および絶縁膜 26 を設けてなるものは、通常、ウエハ状態の半導体基板をダイシングして個々のチップとなした場合に得られるものである。しかしながら、この発明では、ウエハ状態の半導体基板上に接続パッド 25 および絶縁膜 26 が形成された状態では、ダイシングを行わず、以下に説明するように、再配線および柱状電極を有する半導体構成体 23 が得られる状態でウエハ状態の半導体基板をダイシングする。まず、半導体構成体 23 の構成について説明する。

【0017】

シリコン基板 24 上に形成された絶縁膜 26 上にはポリイミドなどからなる保護膜 27 が設けられている。接続パッド 25 の中央部は、絶縁膜 26 および保護膜 27 に形成された開口部 28 を介して露出されている。開口部 28 を介して露出された接続パッド 25 の上面から保護膜 27 の上面の所定の箇所にかけて下地金属層 31a および該下地金属層 31a 上に設けられた上層金属層 31b からなる再配線 31 が設けられている。

【0018】

再配線 31 の接続パッド部上面には銅からなる柱状電極 32 が設けられている。再配線 31 を含む保護膜 27 の上面にはエポキシ系樹脂などからなる封止膜（絶縁膜）33 がその上面が柱状電極 32 の上面と面一となるように設けられている。このように、半導体構成体 23 は、シリコン基板 24、接続パッド 25、絶縁膜 26 を含み、さらに、保護膜 27、再配線 31、柱状電極 32、封止膜 33 を含んで構成されている。

【0019】

半導体構成体 23 の周囲における接着層 22 の上面には方形枠状の埋込材 34 が接着されている。この場合、埋込材 34 の材料は、ベース板 21 と同じであってもよく、また別であってもよい。また、埋込材 34 の厚さは、半導体構成体 23 の全体の厚さとほぼ同じとなっている。さらに、半導体構成体 23 とその外側に配置された方形枠状の埋込材 34 との間には比較的狭い隙間 35 が形成されて

いる。隙間35にはエポキシ系樹脂などからなる封止膜（絶縁膜）36がその上面が封止膜33および埋込材34の上面とほぼ面一となるように設けられている。

【0020】

半導体構成体23、埋込材34および封止膜36の上面全体にはポリイミドなどからなる第1の上層絶縁膜37が設けられている。第1の上層絶縁膜37の柱状電極32の上面中央部に対応する部分には開口部38が設けられている。開口部38を介して露出された柱状電極32の上面から第1の上層絶縁膜37の上面の所定の箇所にかけて第1の下地金属層39aおよび該第1の下地金属層39a上に設けられた第1の上層金属層39bからなる第1の上層再配線39が設けられている。

【0021】

第1の上層再配線39を含む第1の上層絶縁膜37の上面全体にはポリイミドなどからなる第2の上層絶縁膜41が設けられている。第2の上層絶縁膜41の第1の上層再配線39の接続パッド部に対応する部分には開口部42が設けられている。開口部42を介して露出された第1の上層再配線39の接続パッド部上面から第2の上層絶縁膜41の上面の所定の箇所にかけて第2の下地金属層43aおよび該第2の下地金属層43a上に設けられた第2の上層金属層43bからなる第2の上層再配線43が設けられている。

【0022】

第2の上層再配線43を含む第2の上層絶縁膜41の上面全体にはポリイミドなどからなる第3の上層絶縁膜44が設けられている。第3の上層絶縁膜44の第2の上層再配線43の接続パッド部に対応する部分には開口部45が設けられている。開口部45内およびその上方には半田ボール（突起状の接続端子）46が第2の上層再配線43の接続パッド部に接続されて設けられている。複数の半田ボール46は、第3の上層絶縁膜44上にマトリクス状に配置されている。

【0023】

ところで、ベース板21のサイズを半導体構成体23のサイズよりもやや大きくしているのは、シリコン基板24上の接続パッド25の数の増加に応じて、半

半田ボール46の配置領域を半導体構成体23のサイズよりもやや大きくし、これにより、接続パッド25のサイズおよび配置間隔を柱状電極32のサイズおよび配置間隔よりも大きくするためである。

【0024】

このため、マトリクス状に配置された第2の上層再配線43の接続パッド部（第3の上層絶縁膜44の開口部45内の部分）は、半導体構成体23に対応する領域のみでなく、半導体構成体23の周囲に設けられた埋込材34およびその間の隙間35に設けられた封止膜36の領域上にも配置されている。つまり、マトリクス状に配置された半田ボール46のうち、少なくとも最外周の半田ボール46は半導体構成体23よりも外側に位置する周囲に配置されている。

【0025】

この場合、変形例として、第2の上層再配線43の接続パッド部を全て半導体構成体23よりも外側に位置する周囲に配置するようにしてもよい。また、上層の再配線を1層として、つまり第1の上層再配線39のみとして、少なくとも、最外周の接続パッド部を半導体構成体23よりも外側に位置する周囲に配置することもできる。

【0026】

このように、この半導体装置では、シリコン基板24上に、接続パッド25、絶縁膜26を有するのみでなく、保護膜27、再配線31、柱状電極32、封止膜33などをも形成した半導体構成体23の周囲に封止膜36および埋込材34を設け、その上面に少なくとも第1の上層絶縁膜37および該第1の上層絶縁膜37に形成された開口部38を介して柱状電極32に接続される第1の上層再配線39を設ける構成を特徴としている。

【0027】

この場合、半導体構成体23とその外側に配置された方形枠状の埋込材34との間に比較的狭い隙間35を形成し、この隙間35内にエポキシ系樹脂などからなる封止膜36を設けているので、埋込材34が無い場合と比較して、封止膜36の量を埋込材34の体積の分だけ少なくすることができる。この結果、エポキシ系樹脂などからなる封止膜36の硬化時の収縮による応力を小さくすることが

でき、ひいてはベース基板21が反りにくくすることができる。

【0028】

次に、この半導体装置の製造方法の一例について説明するに、まず、半導体構成体23の製造方法の一例について説明する。この場合、まず、図2に示すように、ウエハ状態のシリコン基板（半導体基板）24上にアルミニウムからなる接続パッド25、酸化シリコンからなる絶縁膜26およびポリイミドからなる保護膜27が設けられ、接続パッド25の中央部が絶縁膜26および保護膜27に形成された開口部28を介して露出されたものを用意する。

【0029】

次に、図3に示すように、開口部28を介して露出された接続パッド25の上面を含む保護膜27の上面全体に下地金属層31aを形成する。この場合、下地金属層31aは、無電解メッキにより形成された銅層のみからなっているが、スパッタにより形成された銅層のみであってもよく、またスパッタにより形成されたチタンなどの薄膜層上にスパッタにより銅層を形成したものであってもよい。これは、後述する上層下地金属層39a、43aの場合も同様である。

【0030】

次に、下地金属層31aの上面にメッキレジスト膜51をパターン形成する。この場合、再配線31形成領域に対応する部分におけるメッキレジスト膜51には開口部52が形成されている。次に、下地金属層31aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜51の開口部52内の下地金属層31aの上面に上層金属層31bを形成する。次に、メッキレジスト膜51を剥離する。

【0031】

次に、図4に示すように、上層金属層31bを含む下地金属層31aの上面にメッキレジスト膜53をパターン形成する。この場合、柱状電極32形成領域に対応する部分におけるメッキレジスト膜53には開口部54が形成されている。次に、下地金属層31aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜53の開口部54内の上層金属層31bの接続パッド部上面に柱状電極32を形成する。

【0032】

次に、メッキレジスト膜53を剥離し、次いで、柱状電極32および上層金属層31bをマスクとして下地金属層31aの不要な部分をエッチングして除去すると、図5に示すように、上層金属層31b下にのみ下地金属層31aが残存され、この残存された下地金属層31aおよびその上面全体に形成された上層金属層31bにより再配線31が形成される。

【0033】

次に、図6に示すように、柱状電極32および再配線31を含む保護膜27の上面全体にエポキシ系樹脂からなる封止膜33をその厚さが柱状電極32の高さよりも厚くなるように形成する。したがって、この状態では、柱状電極32の上面は封止膜33によって覆われている。次に、封止膜33および柱状電極32の上面側を適宜に研磨し、図7に示すように、柱状電極32の上面を露出させ、且つ、この露出された柱状電極32の上面を含む封止膜33の上面を平坦化する。次に、図8に示すように、ダンシング工程を経ると、図1に示す半導体構成体23が複数個得られる。

【0034】

ところで、柱状電極32の上面側を適宜に研磨するのは、電解メッキにより形成される柱状電極32の高さにはばらつきがあるため、このばらつきを解消して、柱状電極32の高さを均一にするためである。また、この場合、銅からなる柱状電極32の上面側を研磨するため、高価で高精度なグラインダーを用いている。

【0035】

次に、このようにして得られた半導体構成体23を用いて、図1に示す半導体装置を製造する場合の一例について説明する。まず、図9に示すように、図1に示すベース板21を複数枚採取することができるベース板21の上面全体に接着層22が設けられたものを用意する。

【0036】

そして、接着層22の上面の所定の箇所に格子状の埋込材34の下面を接着する。格子状の埋込材34は、一例として、シリコン、ガラス、セラミックス、樹脂、金属などからなるシート状の埋込材34に型抜き加工やエッチングなどによ

り複数の方形状の開口部34aを形成することにより得られる。また、シート状の埋込材34を接着層22の上面全体に接着し、座ぐり加工により、格子状の埋込材34を形成するようにしてもよい。

【0037】

次に、格子状の埋込材34の各開口部34a内における接着層22の上面中央部にそれぞれ半導体構成体23のシリコン基板24の下面を接着する。この状態では、埋込材34の上面と半導体構成体23の上面とはほぼ同一の平面上に配置されている。また、半導体構成体23とその外側に配置された方形枠状の埋込材34との間には比較的狭い隙間35が形成されている。

【0038】

次に、図10に示すように、隙間35を含む半導体構成体23および埋込材34の上面全体にエポキシ系樹脂からなる封止膜36を印刷などにより塗布する。したがって、この状態では、半導体構成体23および埋込材34の上面は封止膜36によって覆われている。次に、半導体構成体23および埋込材34の上面を覆っている未硬化の封止膜36をバフ研磨により除去することにより、図11に示すように、半導体構成体23および埋込材34の上面を露出させ、且つ、隙間35内に設けられた封止膜36の上面を半導体構成体23および埋込材34の上面とほぼ面一とし、全体としての上面をほぼ平坦化する。次に、封止膜36を硬化させる。

【0039】

ところで、この場合の研磨は、半導体構成体23の上面側つまり銅からなる柱状電極32の上面側を研磨するのではなく、半導体構成体23および埋込材34の上面を覆っている未硬化の封止膜36を除去するものであるので、安価で低精度のバフを用いても何ら支障はない。なお、隙間35内に設けられた未硬化の封止膜36を研磨し過ぎないためと封止膜36の硬化収縮を小さくするために、塗布後の封止膜36を紫外線照射や加熱により仮硬化させるようにしてもよい。また、隙間35内に設けられた封止膜36の硬化収縮が大きくて平坦化が不十分な場合には、封止樹脂の塗布および研磨を繰り返すようにしてもよい。

【0040】

なお、研磨の他の例としては、安価で低精度のエンドレス研磨ベルトの一部をフラット化し、このフラット化した部分で半導体構成体 23 および埋込材 34 の上面を覆っている未硬化または仮硬化の封止膜 36 を半導体構成体 23 および埋込材 34 の上面を研磨制限面として平滑化研磨するようにしてもよい。

【0041】

また、半導体構成体 23 とその外側に配置された方形枠状の埋込材 34 との間に比較的狭い隙間 35 を形成し、この隙間 35 内にエポキシ系樹脂からなる封止膜 36 を設けているので、埋込材 34 が無い場合と比較して、封止膜 36 の量を埋込材 34 の体積の分だけ少なくすることができる。この結果、エポキシ系樹脂からなる封止膜 36 の硬化時の収縮による応力を小さくすることができ、ひいてはベース板 21 が反りにくいようにすることができる。

【0042】

さて、図 11 に示す研磨工程が終了したら、次に、図 12 に示すように、ほぼ面一となった半導体構成体 23、埋込材 34 および封止膜 36 の上面全体に第 1 の上層絶縁膜 37 を形成する。この第 1 の上層絶縁膜 37 は、感光性ポリイミド、感光性ポリベンザオキサゾール、感光性エポキシ樹脂、感光性ノボラック樹脂、感光性アクリル系カルゾ樹脂などからなり、ドライフィルム化されている。したがって、このドライフィルム化されたものをラミネータによりラミネートすると、第 1 の上層絶縁膜 37 が形成される。なお、後述する第 2 および第 3 の上層絶縁膜 41、44 の場合も同様であるが、印刷などの塗布法により形成するようにしてもよい。

【0043】

次に、第 1 の上層絶縁膜 37 の柱状電極 32 の上面中央部に対応する部分に、フォトリソグラフィにより、開口部 38 を形成する。次に、図 13 に示すように、開口部 38 を介して露出された柱状電極 32 の上面を含む第 1 の上層絶縁膜 37 の上面全体に第 1 の下地金属層 39a を形成する。次に、第 1 の下地金属層 39a の上面にメッキレジスト膜 55 をパターン形成する。この場合、第 1 の上層再配線 39 形成領域に対応する部分におけるメッキレジスト膜 55 には開口部 56 が形成されている。次に、第 1 の下地金属層 39a をメッキ電流路として銅の

電解メッキを行うことにより、メッキレジスト膜 55 の開口部 56 内の第 1 の下地金属層 39a の上面に第 1 の上層金属層 39b を形成する。

【0044】

次に、メッキレジスト膜 55 を剥離し、次いで、第 1 の上層金属層 39b をマスクとして第 1 の下地金属層 39a の不要な部分をエッチングして除去すると、図 14 に示すように、第 1 の上層金属層 39b 下にのみ第 1 の下地金属層 39a が残存され、この残存された第 1 の下地金属層 39a およびその上面全体に形成された第 1 の上層金属層 39b により第 1 の上層再配線 39 が形成される。

【0045】

次に、図 15 に示すように、第 1 の上層再配線 39 を含む第 1 の上層絶縁膜 37 の上面全体に感光性ポリイミドなどからなる第 2 の上層絶縁膜 41 をパターン形成する。この場合、第 2 の上層絶縁膜 41 の第 1 の上層再配線 39 の接続パッド部に対応する部分には開口部 42 が形成されている。次に、開口部 42 を介して露出された第 1 の上層再配線 39 の接続パッド部を含む第 2 の上層絶縁膜 41 の上面全体に第 2 の下地金属層 43a を無電解メッキにより形成する。

【0046】

次に、第 2 の下地金属層 43a の上面にメッキレジスト膜 57 をパターン形成する。この場合、第 2 の上層再配線 43 形成領域に対応する部分におけるメッキレジスト膜 57 には開口部 58 が形成されている。次に、第 2 の下地金属層 43a をメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜 57 の開口部 58 内の第 2 の下地金属層 43a の上面に第 2 の上層金属層 43b を形成する。

【0047】

次に、メッキレジスト膜 57 を剥離し、次いで、第 2 の上層金属層 43b をマスクとして第 2 の下地金属層 43a の不要な部分をエッチングして除去すると、図 16 に示すように、第 2 の上層金属層 43b 下にのみ第 2 の下地金属層 43a が残存され、この残存された第 2 の下地金属層 43a およびその上面全体に形成された第 2 の上層金属層 43b により第 2 の上層再配線 43 が形成される。

【0048】

次に、図17に示すように、第2の上層再配線43を含む第2の上層絶縁膜41の上面全体に感光性ポリイミドなどからなる第3の上層絶縁膜44をパターン形成する。この場合、第3の上層絶縁膜44の第2の上層再配線43の接続パッド部に対応する部分には開口部45が形成されている。次に、開口部45内およびその上方に半田ボール46を第2の上層再配線43の接続パッド部に接続させて形成する。

【0049】

次に、図18に示すように、互いに隣接する半導体構成体23間において、3層の絶縁膜44、41、37、埋込材34、接着層22およびベース板21を切断すると、図1に示す半導体装置が複数個得られる。

【0050】

このようにして得られた半導体装置では、半導体構成体23の柱状電極32に接続される第1の下地金属層39aおよび第1の上層金属層39bを無電解メッキ（またはスパッタ）および電解メッキにより形成し、第1の上層再配線39の接続パッド部に接続される第2の下地金属層43aおよび第2の上層金属層43bを無電解メッキ（またはスパッタ）および電解メッキにより形成しているので、ボンディングによらないで、半導体構成体23の柱状電極32と第1の上層再配線39との間および第1の上層再配線39と第2の上層再配線43との間を導電接続することができる。

【0051】

また、上記製造方法では、ベース板21上の接着層22上に格子状の埋込材34および複数の半導体構成体23を接着して配置し、複数の半導体構成体23に対して封止膜36、第1～第3の上層絶縁膜37、41、44、第1、第2の下地金属層39a、43a、第1、第2の上層金属層39b、44bおよび半田ボール46の形成を一括して行い、その後に分断して複数個の半導体装置を得ているので、製造工程を簡略化することができる。

【0052】

また、ベース板21と共に複数の半導体構成体23を搬送することができるので、これによっても製造工程を簡略化することができる。さらに、ベース板21

の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に關係なく、搬送系を共有化することができる。

【0053】

さらに、上記製造方法では、図9に示すように、再配線31および柱状電極32を備えたCSPタイプの半導体構成体23を接着層22上に接着しているので、例えば、シリコン基板24上に接続パッド25および絶縁膜26を設けてなる通常の半導体チップを接着層22上に接着して、半導体チップの周囲に設けられた封止膜上などに再配線および柱状電極を形成する場合と比較して、コストを低減することができる。

【0054】

例えば、切断前のベース板21がシリコンウエハのように一定のサイズのほぼ円形状である場合、接着層22上に接着された半導体チップの周囲に設けられた封止膜上などに再配線および柱状電極を形成すると、処理面積が増大する。換言すれば、低密度処理になるため、一回当たりの処理枚数が低減し、スループットが低下するので、コストアップとなる。

【0055】

これに対し、上記製造方法では、再配線31および柱状電極32を備えたCSPタイプの半導体構成体23を接着層22上に接着した後に、ビルドアップしているので、プロセス数は増大するが、柱状電極32を形成するまでは高密度処理のため、効率が良く、プロセス数の増大を考慮しても、全体の価格を低減することができる。

【0056】

なお、上記実施形態においては、半田ボール46を、半導体構成体23上および埋込材34上の全面に対応してマトリクス状に配列されるよう設けているが、半田ボール46を半導体構成体23の周囲の埋込材34上に対応する領域上にのみ設けるようにしてもよい。その場合、半田ボール46を半導体構成体23の全周囲ではなく、半導体構成体23の4辺の中、1～3辺の側方のみに設けてよい。また、このような場合には、埋込材34を方形枠状のものとする必要はなく、半田ボール46を設ける辺の側方のみに配置されるようにしてもよい。また、

埋込材34は、印刷、転写、成形などによって形成してもよく、さらに、ベース板21上に半導体構成体23を配列した後に形成するようにしてもよい。

【0057】

次に、図1に示す半導体装置の製造方法の他の例について説明する。まず、図19に示すように、紫外線透過性の透明樹脂板やガラス板などからなる別のベース板60の上面全体に紫外線硬化型の粘着シートなどからなる接着層61を接着し、接着層61の上面に上述のベース板21および接着層22を接着したもの用意する。

【0058】

そして、図9～図17にそれぞれ示す製造工程を経た後に、図20に示すように、3層の絶縁膜44、41、37、埋込材34、接着層22、ベース板21および接着層61を切断し、別のベース板60を切断しない。次に、別のベース板60の下面側から紫外線を照射し、接着層61を硬化させる。すると、分断されたベース板21の下面に対する接着層61による接着性が低下する。そこで、接着層61上に存在する個片化されたものを1つずつ剥がしてピックアップすると、図1に示す半導体装置が複数個得られる。

【0059】

この製造方法では、図20に示す状態において、接着層61上に存在する個片化された半導体装置がバラバラとならないので、専用の半導体装置載置用トレーを用いることなく、そのまま、図示しない回路基板上への実装時に1つずつ剥がしてピックアップすることができる。また、別のベース板60の上面に残存する接着性が低下した接着層61を剥離すると、別のベース板60を再利用することができる。さらに、別のベース板60の外形寸法を一定にすると、製造すべき半導体装置の外形寸法に関係なく、搬送系を共有化することができる。

【0060】

なおここで、別のベース板60として、膨張させることにより半導体装置を取り外す、通常のダイシングテープなどを用いることも可能であり、その場合には、接着層は紫外線硬化型でなくてもよい。また、別のベース板60を研磨やエッチングにより除去するようにしてもよい。

【0061】

次に、図1に示す半導体装置の製造方法のさらに他の例について説明する。この製造方法では、図12に示す製造工程後に、図21に示すように、開口部38を介して露出された柱状電極32の上面を含む第1の上層絶縁膜37の上面全体に銅の無電解メッキにより第1の下地金属層39aを形成する。次に、第1の下地金属層39aをメッキ電流路として銅の電解メッキを行うことにより、第1の下地金属層39aの上面全体に第1の上層金属形成用層39cを形成する。次に、第1の上層金属形成用層39cの上面の第1の上層再配線形成領域に対応する部分にレジスト膜62をパターン形成する。

【0062】

次に、レジスト膜62をマスクとして第1の上層金属形成用層39cおよび第1の下地金属層39aの不要な部分をエッチングして除去すると、図22に示すように、レジスト膜62下にのみ第1の上層配線層39が残存される。この後、レジスト膜62を剥離する。なお、これと同様の形成方法により、第2の上層再配線43を形成するようにしてもよい。

【0063】

ところで、図9に示すベース板21あるいは図19に示す別のベース板60をトレイ状とすることもできる。つまり、ベース板を、半導体構成体23を配列する領域が周囲より陥没した受け皿のような形状とする。そして、このトレイ状のベース板の半導体構成体23配列領域を囲む周囲の上面にメッキ電流路用金属層を設け、このメッキ電流路用金属層とメッキ電流路用の下地金属層（39a、43a）とを導電部材で接続して、電解メッキを行うようにしてもよい。この場合、トレイの外形サイズを同一としておくことにより、製造する半導体装置のサイズが異なる場合でも、同一の製造装置の使用が可能となり効率的となる。

【0064】

（第2実施形態）

図9に示す製造工程において、接着層22を半導体構成体23のシリコン基板24の下面および埋込材34の下面にそれぞれ設け、これらの接着層22をベース板21の上面の各所定の箇所に接着した場合には、図23に示すこの発明の第

2 実施形態としての半導体装置が得られる。

【0065】

このようにして得られた半導体装置では、例えば、シリコン基板24の下面が接着層22を介してベース板21の上面に接着されているほかに、シリコン基板24の側面などが封止膜36を介してベース板21の上面に接合されているので、半導体構成体23および埋込材34のベース板21に対する接合強度をある程度強くすることができる。

【0066】

(第3、第4実施形態)

図24はこの発明の第3実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、ベース板21および接着層22を備えていないことである。

【0067】

この第3実施形態の半導体装置を製造する場合には、例えば図17に示すように、半田ボール46を形成した後に、ベース板21および接着層22を研磨やエッティングなどにより除去し、次いで互いに隣接する半導体構成体23間において、3層の絶縁膜44、41、37および埋込材34を切断すると、図24に示す半導体装置が複数個得られる。このようにして得られた半導体装置では、ベース板21および接着層22を備えていないので、その分だけ、薄型化することができる。

【0068】

また、ベース板21および接着層22を研磨やエッティングなどにより除去した後に、シリコン基板24、埋込材34および封止膜36の下面側を適宜に研磨し、次いで互いに隣接する半導体構成体23間において、3層の絶縁膜44、41、37および埋込材34を切断すると、図25に示すこの発明の第4実施形態としての半導体装置が複数個得られる。このようにして得られた半導体装置では、さらに薄型化することができる。

【0069】

なお、半田ボール46を形成する前に、ベース板21および接着層22を研磨

やエッティングなどにより除去し（必要に応じてさらにシリコン基板24、埋込材34および封止膜36の下面側を適宜に研磨し）、次いで半田ボール46を形成し、次いで互いに隣接する半導体構成体23間において、3層の絶縁膜44、41、37および埋込材34を切断するようにしてもよい。

【0070】

（第5実施形態）

図26はこの発明の第5実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、接着層22の下面に放熱用の金属層63が接着されていることである。金属層63は、厚さ数十 μ mの銅箔などからなっている。

【0071】

この第5実施形態の半導体装置を製造する場合には、例えば図17に示すように、半田ボール46を形成した後に、ベース板21を研磨やエッティングなどにより除去し、次いで接着層22の下面全体に金属層63を接着し、次いで互いに隣接する半導体構成体23間において、3層の絶縁膜44、41、37、埋込材34、接着層22および金属層63を切断すると、図26に示す半導体装置が複数個得られる。

【0072】

なお、接着層22も研磨やエッティングなどにより除去し（必要に応じてさらにシリコン基板24、埋込材34および封止膜36の下面側を適宜に研磨し）、シリコン基板24、埋込材34および封止膜36の下面に新たな接着層を介して金属層63を接着するようにしてもよい。

【0073】

（第6実施形態）

図27はこの発明の第6実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、第1、第2の上層絶縁膜37、41の開口部38、42のサイズを可及的に小さくし、且つ、これらの開口部38、42上における第1、第2の上層再配線39、43のランドを可及的に小さくしたことである。

【0074】

例えば、第1の上層再配線39は柱状電極32上にメッキにより直接接合されるものであるため、第1の上層絶縁膜37の開口部38は、 $10\mu\text{m} \times 10\mu\text{m}$ の方形または同面積の円形の面積を有していれば強度的に十分である。したがって、第1の上層絶縁膜37の開口部38のサイズを可及的に小さくすることができ、且つ、この開口部38上における第1の上層再配線39のランドを可及的に小さくすることができる。

【0075】

このように、この第6実施形態によれば、第1、第2の上層絶縁膜37、41の開口部38、42のサイズを可及的に小さくし、且つ、これらの開口部38、42上における第1、第2の上層再配線39、43のランドを可及的に小さくすることができるので、第1、第2の上層再配線39、43の占有面積を小さくすることができる。この結果、半導体構成体23のシリコン基板24上の接続パッド25（つまり柱状電極32）の数が増大しても、半導体装置全体としてのサイズを小さいものとすることができます。

【0076】

（第7実施形態）

図28はこの発明の第7実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、上層の再配線を1層として、つまり第1の上層再配線39のみとして、半導体構成体23の再配線31の一部をクロス再配線としたことである。

【0077】

すなわち、半導体構成体23の保護膜27上に面積的に余裕がある場合には、保護膜27上に接続パッド25と接続されない再配線31Aを設け、この再配線31Aの両端部上に柱状電極32Aを設け、この柱状電極32Aと本来の柱状電極32に第1の上層再配線39を接続し、再配線31Aをクロス再配線としたものである。このようにすれば、上層の再配線の層数を少なくすることができる。

【0078】

（第8、第9実施形態）

図29はこの発明の第8実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、第1の上層絶縁膜37を省略し、封止膜36を隙間35の周囲における半導体構成体23および埋込材34の各上面にやや盛り上げるように設け、この盛り上げ部、半導体構成体23および埋込材34の上面に第1の上層再配線39を設けたことである。

【0079】

この場合、封止膜36は、メタルマスクなどを用いてあるいはスクリーン印刷により形成する。なお、隙間35の周囲における半導体構成体23および埋込材34の各上面にやや盛り上げるように設けられた未硬化または仮硬化の封止膜36をバフ研磨などにより除去した場合には、図30に示すこの発明の第9実施形態としての半導体装置が得られる。

【0080】

(第10実施形態)

図31はこの発明の第10実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図1に示す半導体装置と異なる点は、第2の上層配線層43および第3の上層絶縁膜44を省略し、第1の上層再配線37の接続パッド部上に半田ボール46を設け、埋込材34の上面に再配線64を設けたことである。この場合、埋込材34上の再配線64の両端部は、その上を覆っている第1の上層絶縁膜37に形成された開口部38を介して第1の上層再配線39に接続されている。

【0081】

(第11実施形態)

図32はこの発明の第11実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図31に示す半導体装置と異なる点は、封止膜36および第1の上層絶縁膜37をダイコーダーなどを用いて感光性ポリイミドなどを塗布して一体的に形成したことである。この場合、第1の上層絶縁膜37への開口部38の形成は、フォトリソグラフィであってもよく、またCO2レーザの照射であってもよい。

【0082】

なお、この場合の塗布材料が熱可塑性樹脂や硬化前に比較的低温加熱で流動状態となる流動化可能な樹脂である場合には、塗布により一体的に形成された絶縁膜36、37の平坦化は、加熱加圧処理であってもよい。ここで、図12に示す第1の上層絶縁膜37も、このような塗布材料で形成する場合には、その平坦化は加熱加圧処理であってもよい。

【0083】

(第12実施形態)

図33はこの発明の第12実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図31に示す半導体装置と異なる点は、第1の上層絶縁膜37を省略し、半導体構成体23の上面周辺部、封止膜36の上面および再配線64を含む埋込材34の上面全体に別の第1の上層絶縁膜65をスクリーン印刷などにより形成したことである。

【0084】

この場合、埋込材34上の再配線64の両端部は、その上を覆っている別の第1の上層絶縁膜65にCO2レーザの照射などにより形成された開口部66を介して第1の上層再配線39に接続されている。また、第1の上層再配線39は柱状電極32の上面に絶縁膜の開口部を介すことなく直接接続されている。

【0085】

(第13、第14実施形態)

図34はこの発明の第13実施形態としての半導体装置の断面図を示したものである。この半導体装置において、図31に示す半導体装置と大きく異なる点は、再配線64を含む埋込材34の高さが半導体構成体23の高さよりも低くなっていることである。

【0086】

この場合、再配線64を含む埋込材34の上面は封止膜36で覆われている。また、埋込材34上の再配線64の両端部は、その上を覆っている封止膜36にCO2レーザの照射などにより形成された開口部67内に必要に応じて充填された導電性樹脂などからなる導電材68を介して第1の上層再配線39に接続され

ている。

【0087】

なお、図35に示すこの発明の第14実施形態のように、再配線64を含む埋込材34の高さが半導体構成体23の高さよりも高くなるようにしてもよい。この場合、半導体構成体23の上面は封止膜36で覆われている。また、柱状電極32は、その上を覆っている封止膜36にCO2レーザの照射などにより形成された開口部69内に必要に応じて充填された導電性樹脂などからなる導電材70を介して第1の上層再配線39に接続されている。

【0088】

(第15実施形態)

図18に示す場合には、互いに隣接する半導体構成体23間において切断したが、これに限らず、2個またはそれ以上の半導体構成体23を1組として切断し、例えば、図36に示すこの発明の第15実施形態のように、3個の半導体構成体23を1組として切断し、マルチチップモジュール型の半導体装置を得るようにもよい。この場合、3個で1組の半導体構成体23は同種、異種のいずれであってもよい。

【0089】

(第16実施形態)

図37はこの発明の第16実施形態としての半導体装置の断面図を示したものである。この半導体装置では、平面正方形状のベース板71の上面中央部に第1の接着層72aを介して図1に示す場合と同様の第1の半導体構成体73aのシリコン基板74aの下面が接着されている。

【0090】

第1の半導体構成体73aの周囲におけるベース板71の上面には方形枠状の第1の埋込材75aの下面が接合されている。第1の半導体構成体73aと第1の埋込材75aとの間には第1の封止膜76aが設けられている。第1の半導体構成体73a、第1の埋込材75aおよび第1の封止膜76aの上面の所定の箇所には第1の上層再配線77aが第1の半導体構成体73aの柱状電極78aに接続されて設けられている。

【0091】

第1の上層再配線77aを含む第1の半導体構成体73aの上面には第2の接着層72bを介して図1に示す場合と同様の第2の半導体構成体73bのシリコン基板74bの下面が接着されている。第1の上層再配線77aを含む第1の埋込材75aの上面には方形枠状の第2の埋込材75bの下面が接合されている。この場合、第2の埋込材75b内の所定の箇所には上下導通部79bが設けられている。この上下導通部79bの下面は第1の上層再配線77aの接続パッドに接続されている。第2の半導体構成体73bと第2の埋込材75bとの間には第2の封止膜76bが設けられている。

【0092】

第2の半導体構成体73b、第2の埋込材75bおよび第2の封止膜76bの上面の所定の箇所には第2の上層再配線77bが第2の半導体構成体73bの柱状電極78bおよび第2の埋込材75b内の上下導通部79bに接続されて設けられている。第2の上層再配線77bを含む第2の半導体構成体73bの上面には第3の接着層72cを介して図1に示す場合と同様の第3の半導体構成体73cのシリコン基板74cの下面が接着されている。

【0093】

第2の上層再配線77bを含む第2の埋込材75bの上面には方形枠状の第3の埋込材75cの下面が接合されている。この場合、第3の埋込材75c内の所定の箇所には上下導通部79cが設けられている。この上下導通部79cの下面は第2の上層再配線77bの接続パッドに接続されている。第3の半導体構成体73cと第3の埋込材75cとの間には第3の封止膜76cが設けられている。

【0094】

第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面の所定の箇所には第3の上層再配線77cが第3の半導体構成体73cの柱状電極78cおよび第3の埋込材75c内の上下導通部79cに接続されて設けられている。第3の上層再配線77cを含む第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面全体には上層絶縁膜80が設けられている。上層絶縁膜80上の所定の箇所には半田ボール81が第3の上層再配

線77cの接続パッドに接続されて設けられている。

【0095】

次に、この半導体装置の製造方法の一例について説明する。まず、図38に示すように、図37に示すベース板71を複数枚採取することができるベース板71の上面の所定の箇所に格子状の第1の埋込材75aを配置する。この場合、ベース板71、第1の埋込材75aおよび後述する第2、第3の埋込材75b、75cは熱可塑性樹脂からなっている。そして、加熱加圧により、第1の埋込材75aをベース板71の上面の所定の箇所に接合する。

【0096】

次に、図39に示すように、格子状の第1の埋込材75aの各開口部内におけるベース板71の上面中央部にそれぞれ第1の半導体構成体73aのシリコン基板74aの下面を該下面に予め接着された第1の接着層72aを介して接着する。この状態では、第1の埋込材75aの上面と第1の半導体構成体73aの上面とはほぼ同一の平面上に配置されている。また、第1の半導体構成体73aとその外側に配置された方形枠状の第1の埋込材75aとの間には比較的狭い第1の隙間82aが形成されている。

【0097】

次に、図40に示すように、第1の隙間82a内に第1の封止膜76aを形成する。次に、第1の半導体構成体73a、第1の埋込材75aおよび第1の封止膜76aの上面の所定の箇所に第1の上層再配線77aを第1の半導体構成体73aの柱状電極78aに接続させて形成する。

【0098】

次に、図41に示すように、第1の上層再配線77aを含む格子状の第1の埋込材75aの上面に格子状の第2の埋込材75bを熱圧着する。この場合、第2の埋込材75b内の所定の箇所には上下導通材79bが予め形成されている。そして、熱圧着により、第1の上層再配線77aによる段差は解消され、第2の埋込材75b内の上下導通材79bの下面是第1の上層再配線77aの接続パッドに接続される。

【0099】

次に、図42に示すように、格子状の第2の埋込材75bの開口部内における第1の上層再配線77aを含む第1の半導体構成体73aの上面に第2の半導体構成体73bのシリコン基板74bの下面を該下面に予め接着された第2の接着層72bを介して接着する。

【0100】

次に、第2の半導体構成体73bとその外側に配置された方形枠状の第2の埋込材75bとの間に形成された比較的狭い第2の隙間に第2の封止膜76bを形成する。次に、第1の半導体構成体73a、第1の埋込材75aおよび第1の封止膜76aの上面の所定の箇所に第2の上層再配線77bを第2の半導体構成体73bの柱状電極78bおよび第2の埋込材75b内の上下導通材79bに接続させて形成する。

【0101】

次に、図43に示すように、第2の上層再配線77bを含む格子状の第2の埋込材75bの上面に格子状の第3の埋込材75cを熱圧着する。この場合、第3の埋込材75c内の所定の箇所には上下導通材79cが予め形成されている。そして、熱圧着により、第2の上層再配線77bによる段差は解消され、第3の埋込材75c内の上下導通材79cの下面是第2の上層再配線77bの接続パッドに接続される。

【0102】

次に、格子状の第3の埋込材75cの開口部内における第2の上層再配線77bを含む第2の半導体構成体73bの上面に第3の半導体構成体73cのシリコン基板74cの下面を該下面に予め接着された第3の接着層72cを介して接着する。

【0103】

次に、第3の半導体構成体73cとその外側に配置された方形枠状の第3の埋込材75cとの間に形成された比較的狭い第3の隙間に第3の封止膜76cを形成する。次に、第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面の所定の箇所に第3の上層再配線77cを第3の半導体構成体73cの柱状電極78cおよび第3の埋込材75c内の上下導通材79cに接

続させて形成する。

【0104】

次に、第3の上層再配線77cを含む第3の半導体構成体73c、第3の埋込材75cおよび第3の封止膜76cの上面に上層絶縁膜80をパターン形成する。次に、上層絶縁膜80上の所定の箇所に半田ボール81を第3の上層再配線77cの接続パッド部に接続させて形成する。次に、図44に示すように、所定のダイシング工程を経ると、図37に示す半導体装置が複数個得られる。

【0105】

(第17実施形態)

図45はこの発明の第17実施形態としての半導体装置の断面図を示したものである。この半導体装置では、まず、図1に示すものとほぼ同じものを用意する。以下、この用意したものを第1の半導体ブロック81という。ただし、第1の半導体ブロック81の半田ボール46は、全て半導体構成体23よりも外側に位置する周囲にのみ配置され、図1に示す場合よりも径がやや小さくなっている。

【0106】

また、図24に示すものとほぼ同じであるが、埋込材34内に上下導通材82が設けられたものを用意する。以下、この用意したものを第2の半導体ブロック83という。そして、第2の半導体ブロック83は第1の半導体ブロック81上に、第2の半導体ブロック83の埋込材34内の上下導通材82の下面を第1の半導体ブロック81の半田ボール46に接続されて、搭載されている。

【0107】

(第18、第19実施形態)

図46はこの発明の第18実施形態としての半導体装置の断面図を示したものである。この半導体装置では、まず、図24に示すものとほぼ同じであるが、埋込材34内に上下導通材84が設けられたものを用意する。以下、この用意したものを半導体ブロック85という。

【0108】

ただし、この半導体ブロック85では、半導体構成体23、埋込材34および封止膜36の上面に第1の絶縁膜86がパターン形成され、第1の絶縁膜86の

上面に配線87が上下導通材84の上面に接続されて形成され、配線87を含む第1の絶縁膜86の上面に第2の絶縁膜88がパターン形成され、第2の絶縁膜88で覆われずに露出された配線87の接続パッド部上に小径の半田ボール89が形成されている。

【0109】

そして、半導体ブロック85上には、図1に示す場合とほぼ同じ構造の複数の半導体構成体23が、その柱状電極32を半導体ブロック85の半田ボール89に接続されて、搭載されている。

【0110】

なお、図47に示すこの発明の第19実施形態のように、半導体ブロック85上にLSIなどからなる第1および第2の半導体チップ91、92を搭載するようにしてもよい。この場合、半導体ブロック85の第2の絶縁膜88で覆われずに露出された配線87の接続パッド部は、全て半導体構成体23よりも外側に位置する周囲にのみ配置されている。

【0111】

第1および第2の半導体チップ91、92は、チップ本体91a、92aの上周辺部に複数の接続パッド91b、92bが設けられた構造となっている。第1の半導体チップ91の平面サイズは半導体構成体23の平面サイズとほぼ同じであり、第2の半導体チップ92の平面サイズは半導体チップ91の平面サイズよりもある程度小さくなっている。

【0112】

そして、第1の半導体チップ91は半導体ブロック85の絶縁膜88の上面中央部に接着層93を介して搭載され、その接続パッド91bはワイヤ94を介して半導体ブロック85の第2の絶縁膜88で覆われずに露出された配線87の接続パッド部に接続されている。第2の半導体チップ92は第1の半導体チップ91の上面中央部に接着層95を介して搭載され、その接続パッド92bはワイヤ96を介して半導体ブロック85の第2の絶縁膜88で覆われずに露出された配線87の接続パッド部に接続されている。第1、第2の半導体チップ91、92およびワイヤ94、96を含む絶縁膜88の上面全体にはエポキシ系樹脂などか

らなる封止膜97が設けられている。

【0113】

(第20、第21実施形態)

図48はこの発明の第20実施形態としての半導体装置の断面図を示したものである。この半導体装置では、まず、図1に示すものとほぼ同じであるが、第2の上層再配線43、第3の上層絶縁膜44および半田ボール46を備えていないものを用意する。ただし、この場合、埋込材34の一辺部34aは平面的にある程度幅広となっている。

【0114】

そして、第1の上層再配線39の一部の一端部は埋込材34の一辺部34aの端面まで延ばされ、この端面近傍における部分は接続端子39Aとなっている。また、接続端子39Aを含む接続部分を除いて、第1の上層再配線39を含む第2の上層絶縁膜41の上面には接着層101を介してシールド用の金属層102が設けられている。金属層102は、厚さ数十 μ mの同箇などからなっている。

【0115】

この半導体装置の具体的な応用例としては、端子数が少なく、シリコン基板24(チップ部分)とモジュール間の接続の温度サイクル信頼性が要求されるDRAMなどのメモリーモジュールが考えられる。この場合、図49に示すこの発明の第21実施形態のように、図48に示すものにおいてベース板21を除去してなるものを2つ接着層22を介して接着するようにしてもよい。

【0116】

ところで、図48に示す半導体装置において、半導体構成体23が不良品である場合、リペア法として、金属層102を接着層101を介して接着せずに、第1の上層再配線39の一部をレーザの照射によりカットして、不良品である半導体構成体23を使用不能とし、次いで、図50に示すように、別の良品の半導体構成体23Aを搭載するようにしてもよい。この場合、第1の上層絶縁膜41の所定の箇所にCO2レーザの照射により開口部を形成し、この開口部内に導電性樹脂などからなる導電材103を埋め込み、別の良品の半導体構成体23Aの柱状電極32をこの導電材103に半田(図示せず)を介して接続するようにし

てもよい。

【0117】

(その他の実施形態)

例えば、図9に示す状態において、半導体構成体23として封止膜33を備えていないものを用意する。つまり、図5に示すように、接続パッド25および絶縁膜26が形成されたウエハ状態のシリコン基板24上に保護膜27、再配線31および柱状電極32を形成した後、封止膜33を形成することなく、これをダイシングする。

【0118】

そして、例えば、図10に示す製造工程において、封止膜33、36を形成すべき領域に同一の封止材料によって同時に封止膜33、36を形成し、該封止膜33、36（ただし、封止膜は一体化されており境界はない）の上面側を研磨して、図11に示す状態とするようにしてもよい。

【0119】

【発明の効果】

以上説明したように、この発明によれば、半導体基板上に再配線および柱状電極を有する複数または複数組の半導体構成体および埋込材をベース板上に配置し、半導体構成体上の絶縁膜および埋込材上に上層再配線を半導体構成体の柱状電極に接続させて形成し、埋込材を少なくとも切断することにより、半導体構成体を1つまたは1組有するとともに埋込材を有し、且つ、埋込材上に上層再配線の一部が配置されてなる半導体装置を複数個一括して得ることができ、従来のようなボンディング工程がなく、したがってボンディングによることなく外部接続電極の配置間隔を大きくすることができ、また複数または複数組の半導体構成体に対して絶縁膜および上層再配線の形成を一括して行うことができるので、製造工程を簡略化することができる。

【図面の簡単な説明】

【図1】

この発明の第1実施形態としての半導体装置の断面図。

【図2】

図1に示す半導体装置の製造方法の一例において、当初用意したものの断面図

【図3】

図2に続く製造工程の断面図。

【図4】

図3に続く製造工程の断面図。

【図5】

図4に続く製造工程の断面図。

【図6】

図5に続く製造工程の断面図。

【図7】

図6に続く製造工程の断面図。

【図8】

図7に続く製造工程の断面図。

【図9】

図8に続く製造工程の断面図。

【図10】

図9に続く製造工程の断面図。

【図11】

図10に続く製造工程の断面図。

【図12】

図11に続く製造工程の断面図。

【図13】

図12に続く製造工程の断面図。

【図14】

図13に続く製造工程の断面図。

【図15】

図14に続く製造工程の断面図。

【図16】

図15に続く製造工程の断面図。

【図17】

図16に続く製造工程の断面図。

【図18】

図17に続く製造工程の断面図。

【図19】

図1に示す半導体装置の製造方法の他の例において、当初用意したものの断面図。

【図20】

同他の例において、所定の製造工程の断面図。

【図21】

図1に示す半導体装置の製造方法のさらに他の例において、所定の製造工程の断面図。

【図22】

図21に続く製造工程の断面図。

【図23】

この発明の第2実施形態としての半導体装置の断面図。

【図24】

この発明の第3実施形態としての半導体装置の断面図。

【図25】

この発明の第4実施形態としての半導体装置の断面図。

【図26】

この発明の第5実施形態としての半導体装置の断面図。

【図27】

この発明の第6実施形態としての半導体装置の断面図。

【図28】

この発明の第7実施形態としての半導体装置の断面図。

【図29】

この発明の第8実施形態としての半導体装置の断面図。

【図30】

この発明の第9実施形態としての半導体装置の断面図。

【図31】

この発明の第10実施形態としての半導体装置の断面図。

【図32】

この発明の第11実施形態としての半導体装置の断面図。

【図33】

この発明の第12実施形態としての半導体装置の断面図。

【図34】

この発明の第13実施形態としての半導体装置の断面図。

【図35】

この発明の第14実施形態としての半導体装置の断面図。

【図36】

この発明の第15実施形態としての半導体装置の断面図。

【図37】

この発明の第16実施形態としての半導体装置の断面図。

【図38】

図37に示す半導体装置の製造方法の一例において、当初の製造工程の断面図

【図39】

図38に続く製造工程の断面図。

【図40】

図39に続く製造工程の断面図。

【図41】

図40に続く製造工程の断面図。

【図42】

図41に続く製造工程の断面図。

【図43】

図42に続く製造工程の断面図。

【図44】

図43に続く製造工程の断面図。

【図45】

この発明の第17実施形態としての半導体装置の断面図。

【図46】

この発明の第18実施形態としての半導体装置の断面図。

【図47】

この発明の第19実施形態としての半導体装置の断面図。

【図48】

この発明の第20実施形態としての半導体装置の断面図。

【図49】

この発明の第21実施形態としての半導体装置の断面図。

【図50】

図48に示す半導体装置においてリペアを行う場合を説明するために示す断面図。

【図51】

従来の半導体装置の一例の断面図。

【符号の説明】

21 ベース板

22 接着層

23 半導体構成体

24 シリコン基板

25 接続パッド

31 再配線

32 柱状電極

33 封止膜

34 埋込材

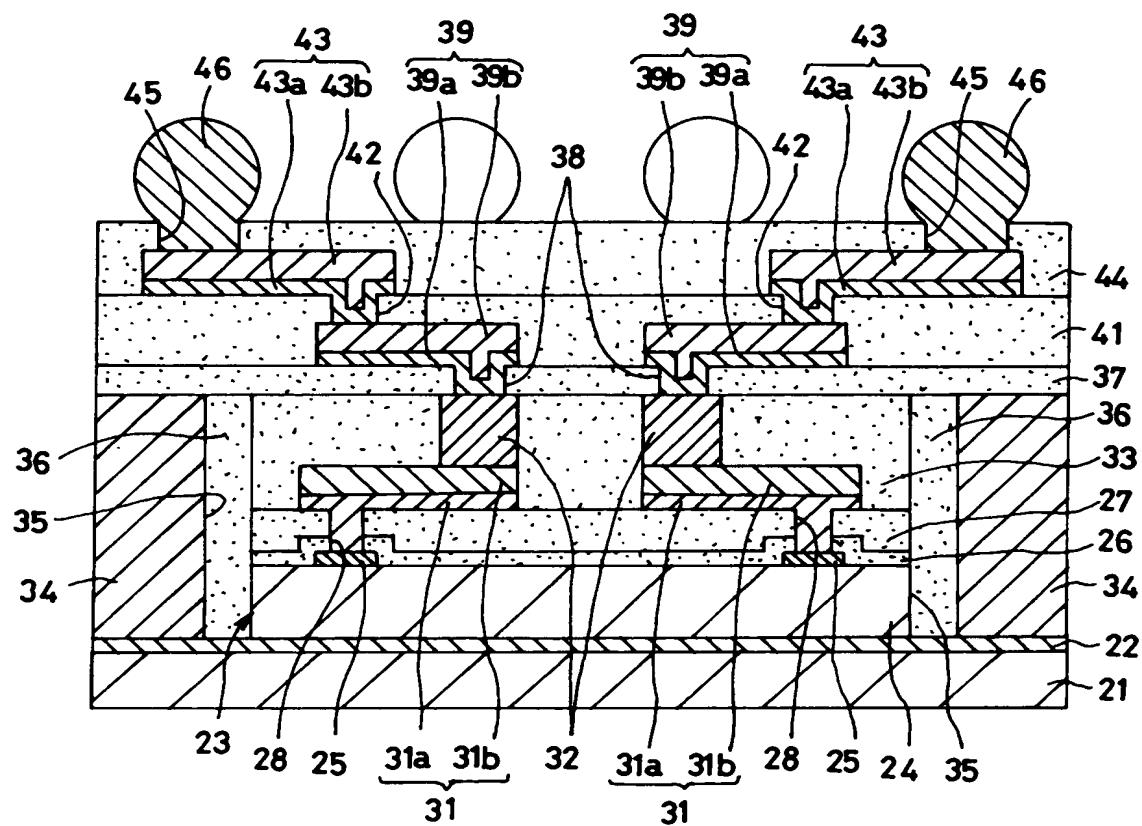
36 封止膜

37 第1の上層絶縁膜

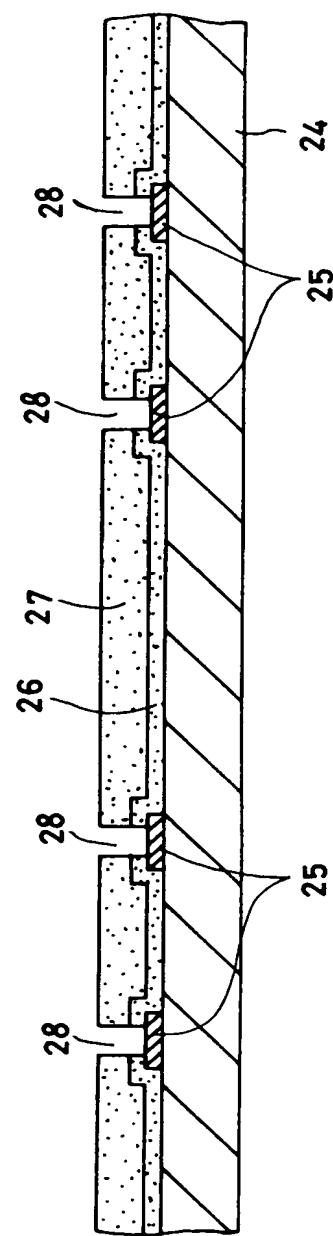
- 3 9 第1の上層再配線
- 4 1 第2の上層絶縁膜
- 4 3 第2の上層再配線
- 4 4 第3の上層絶縁膜
- 4 6 半田ボール

【書類名】 図面

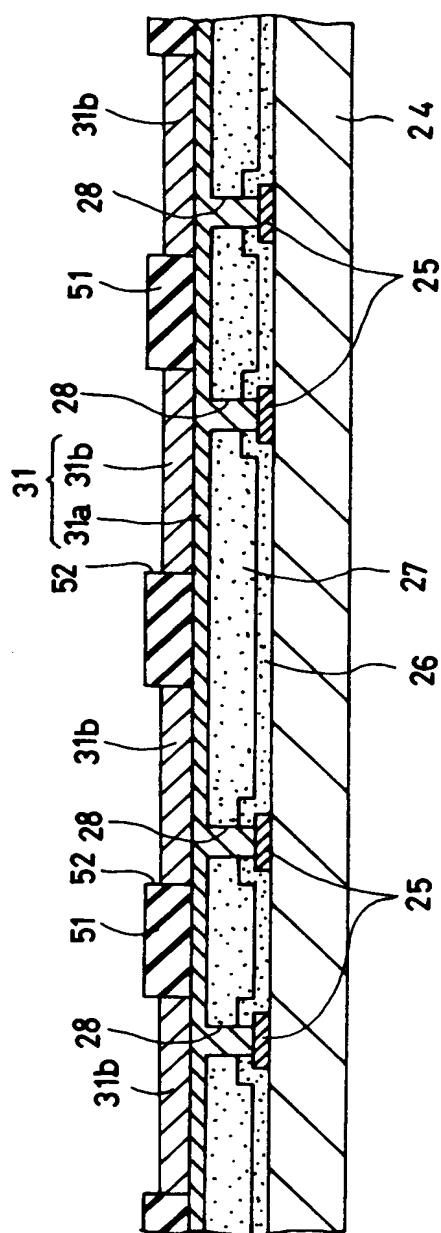
【図 1】



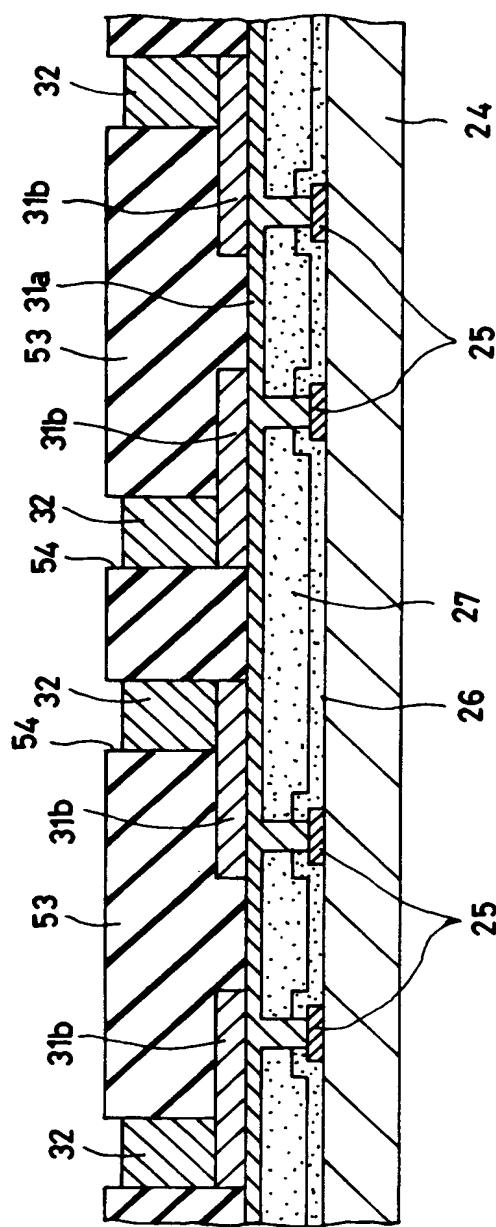
【図2】



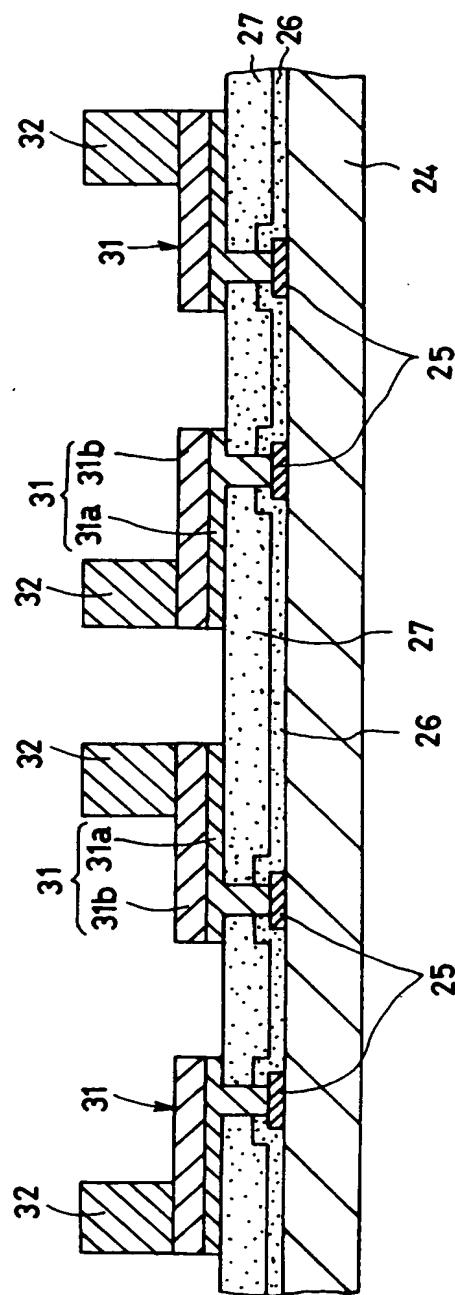
【図3】



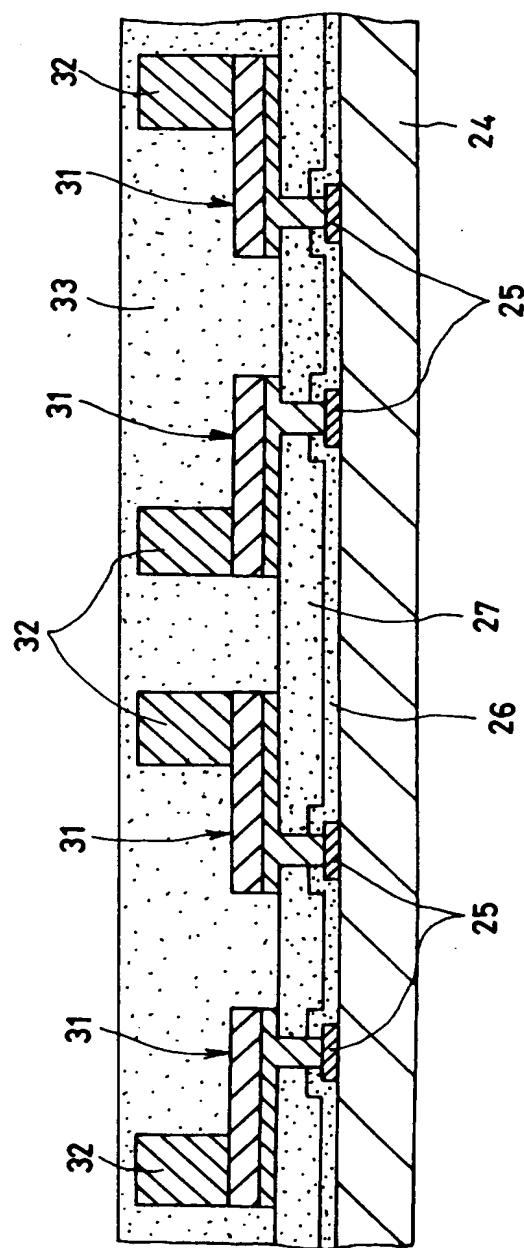
【図4】



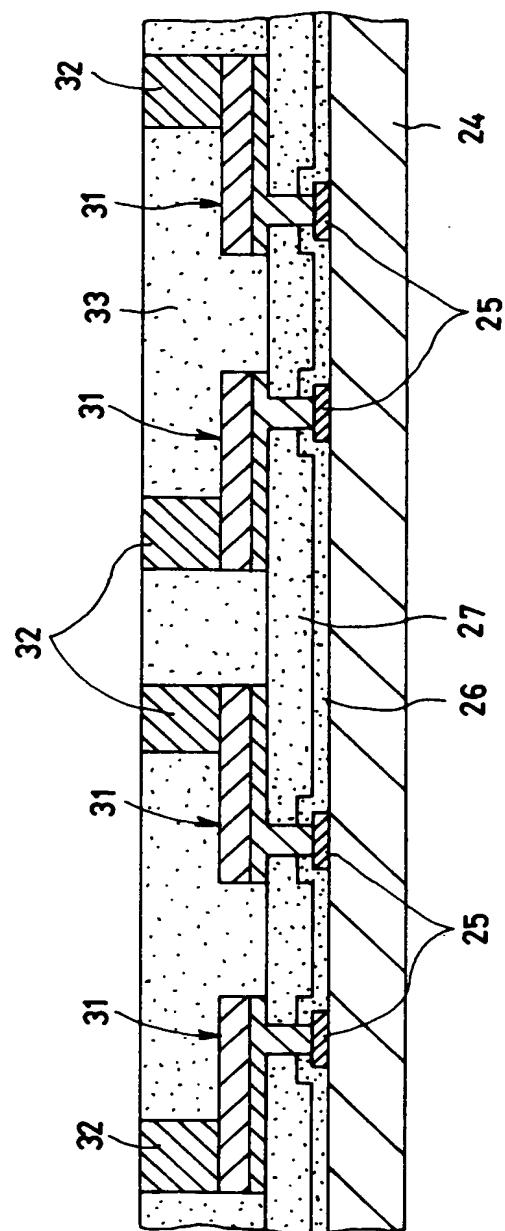
【図5】



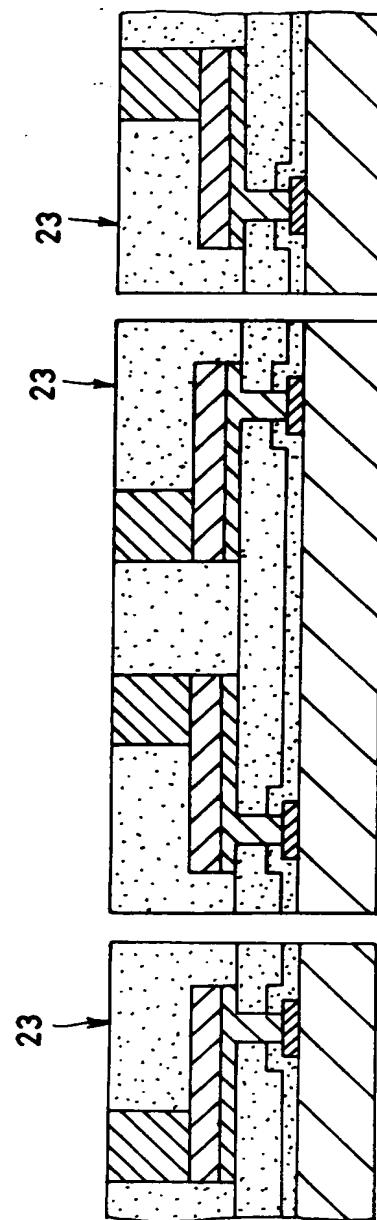
【図6】



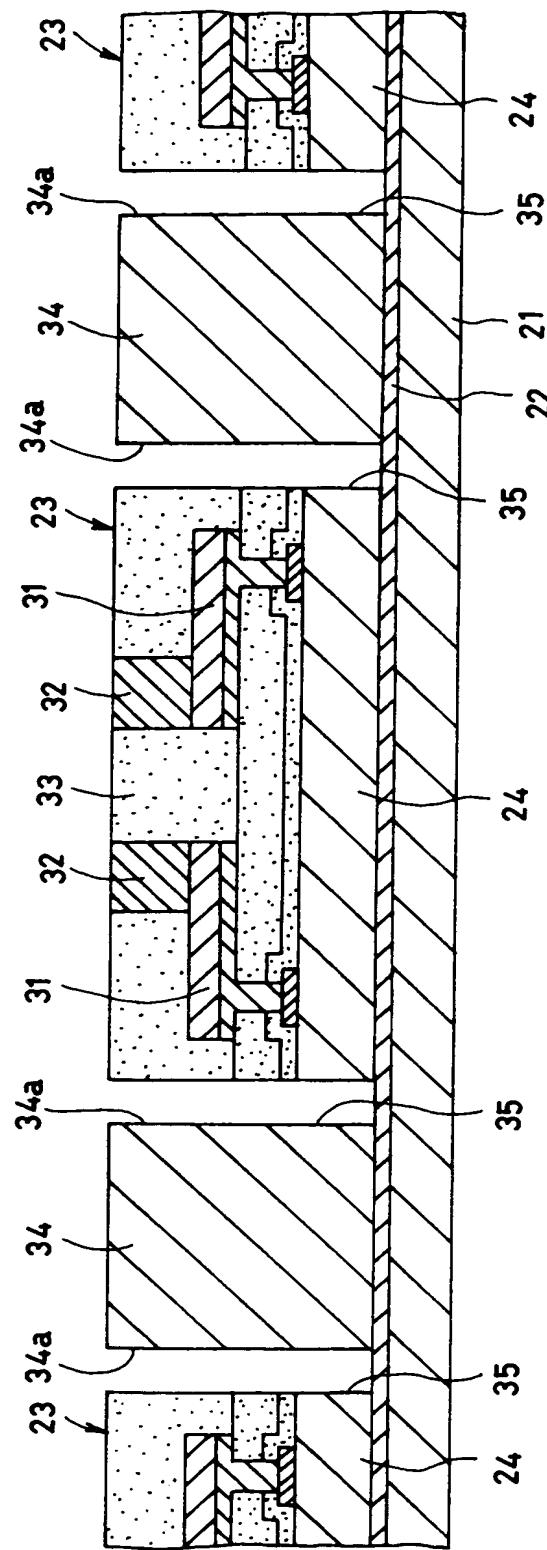
【図 7】



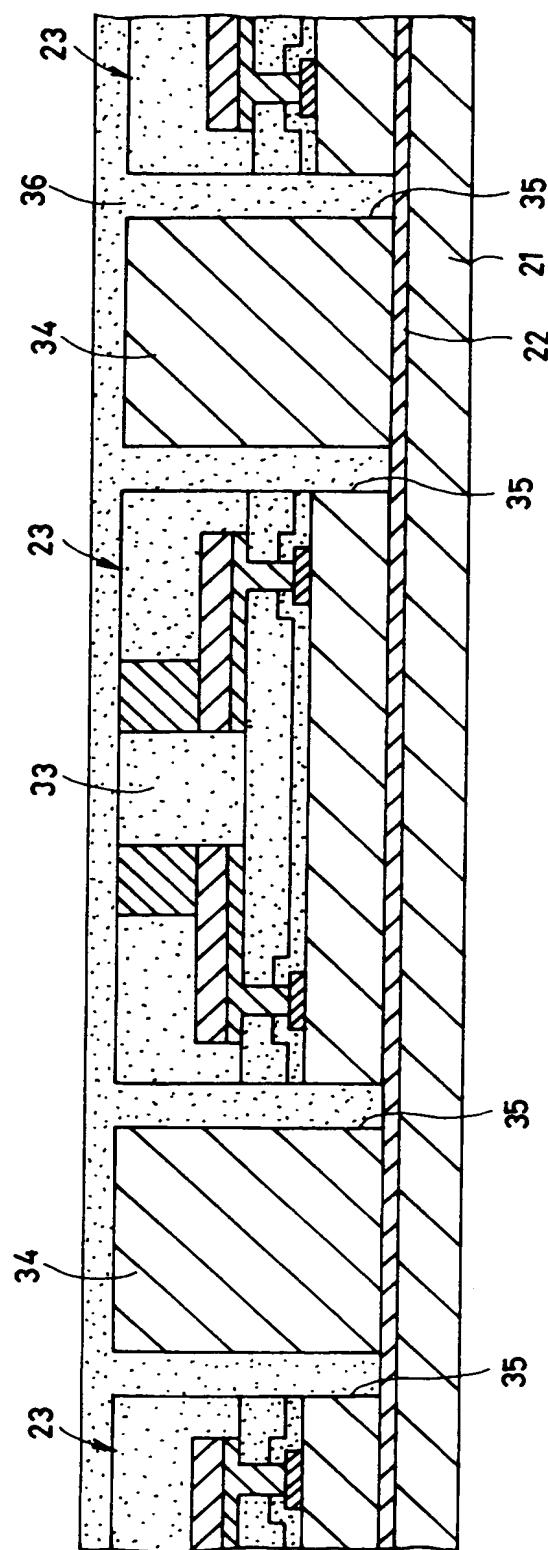
【図8】



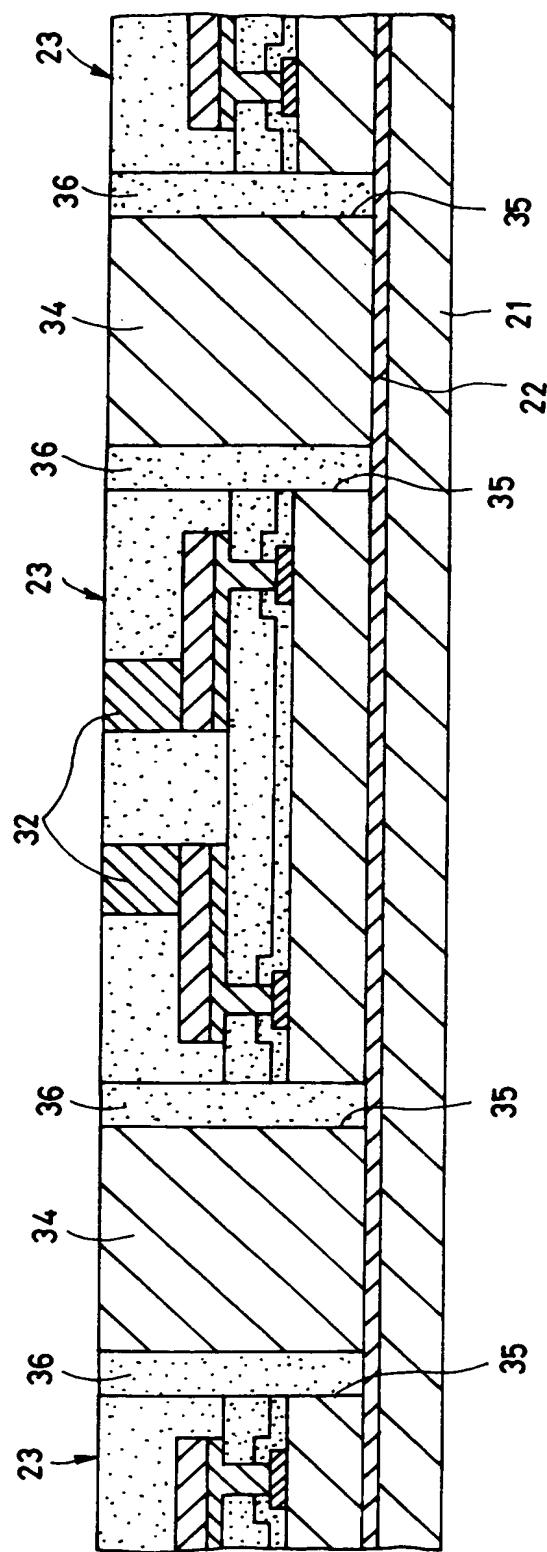
【図9】



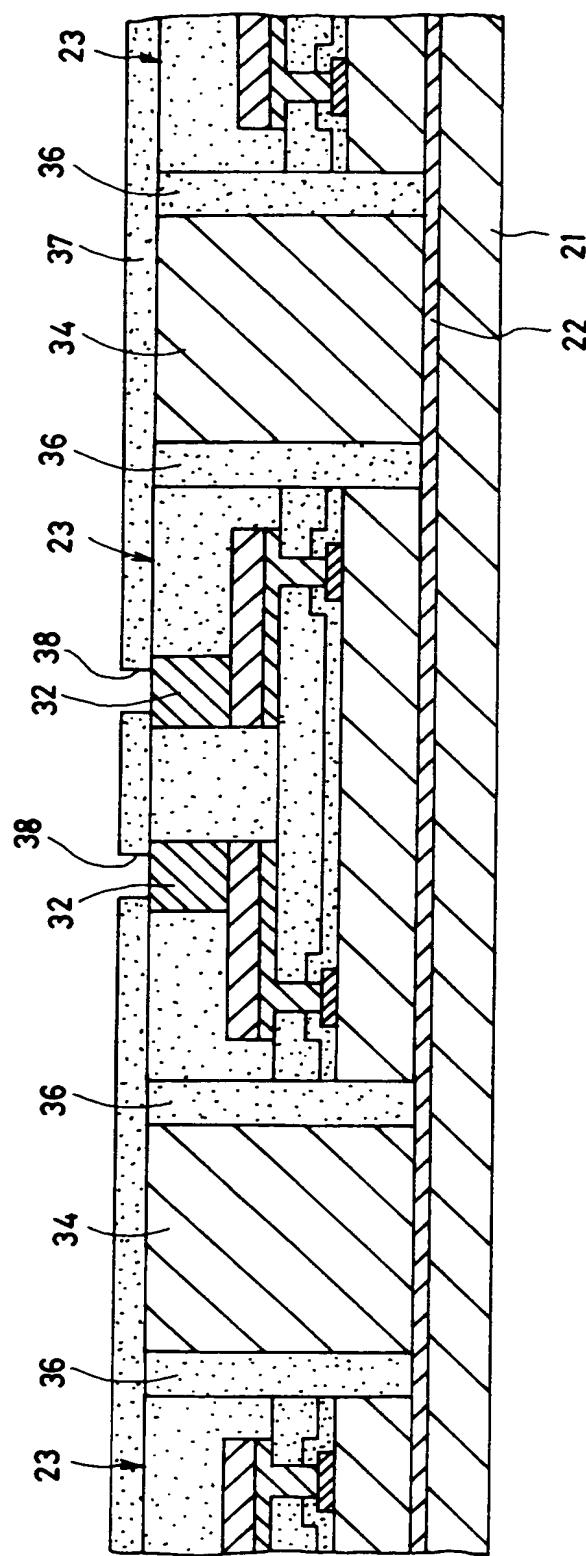
【図10】



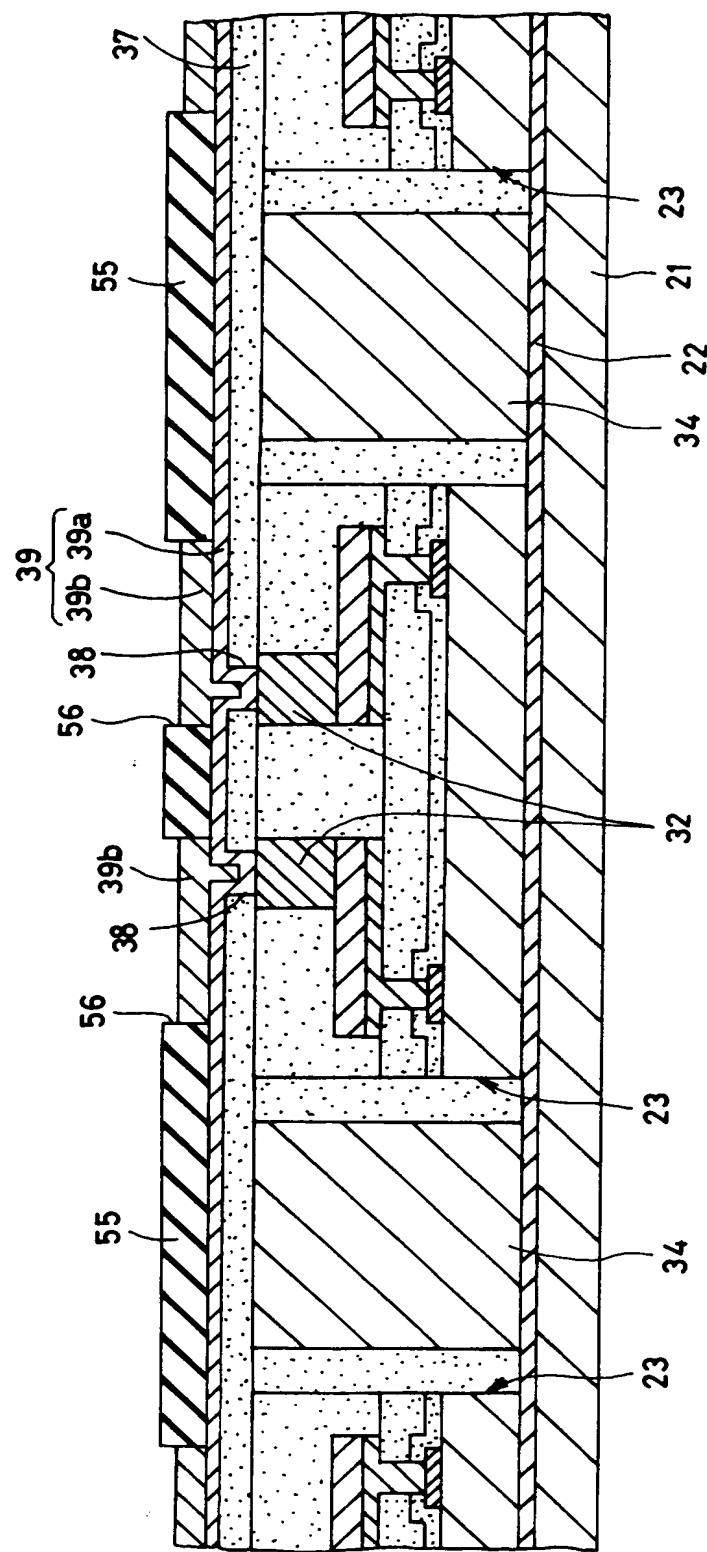
【図11】



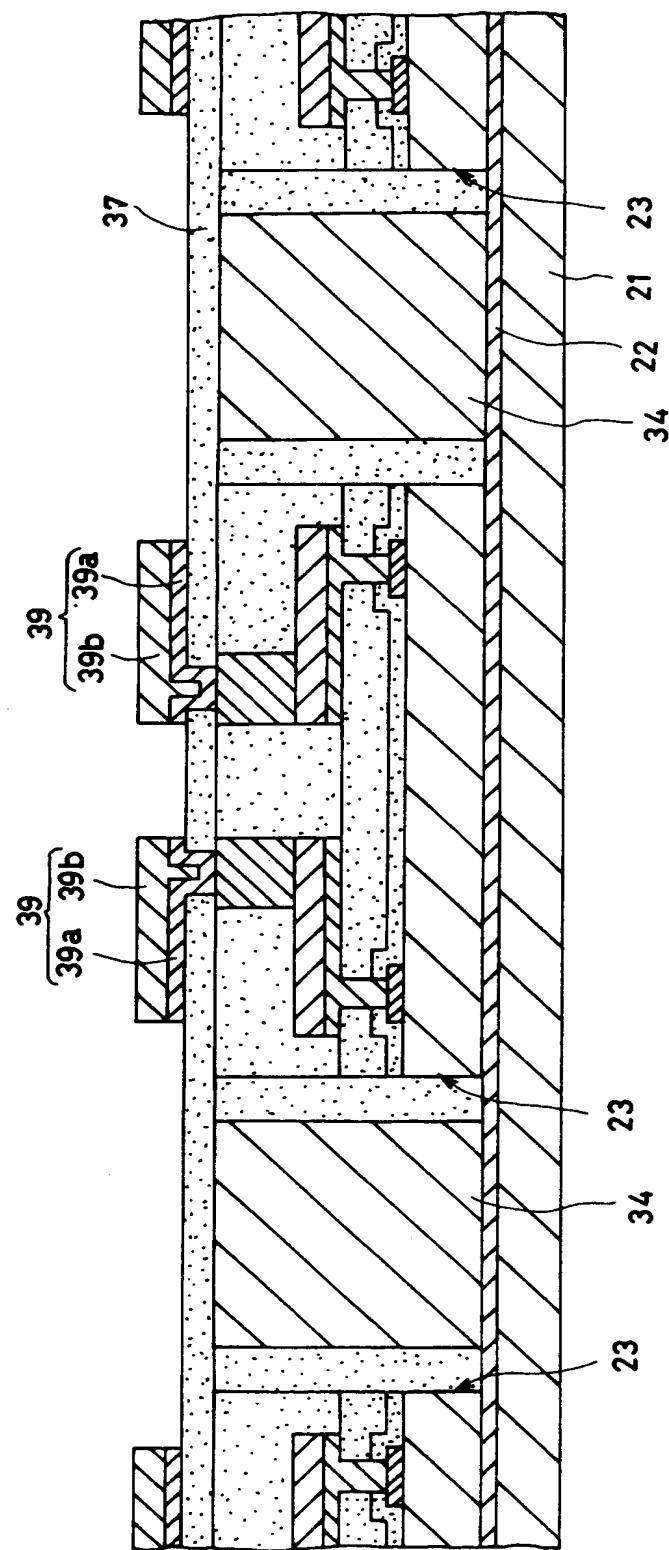
【図12】



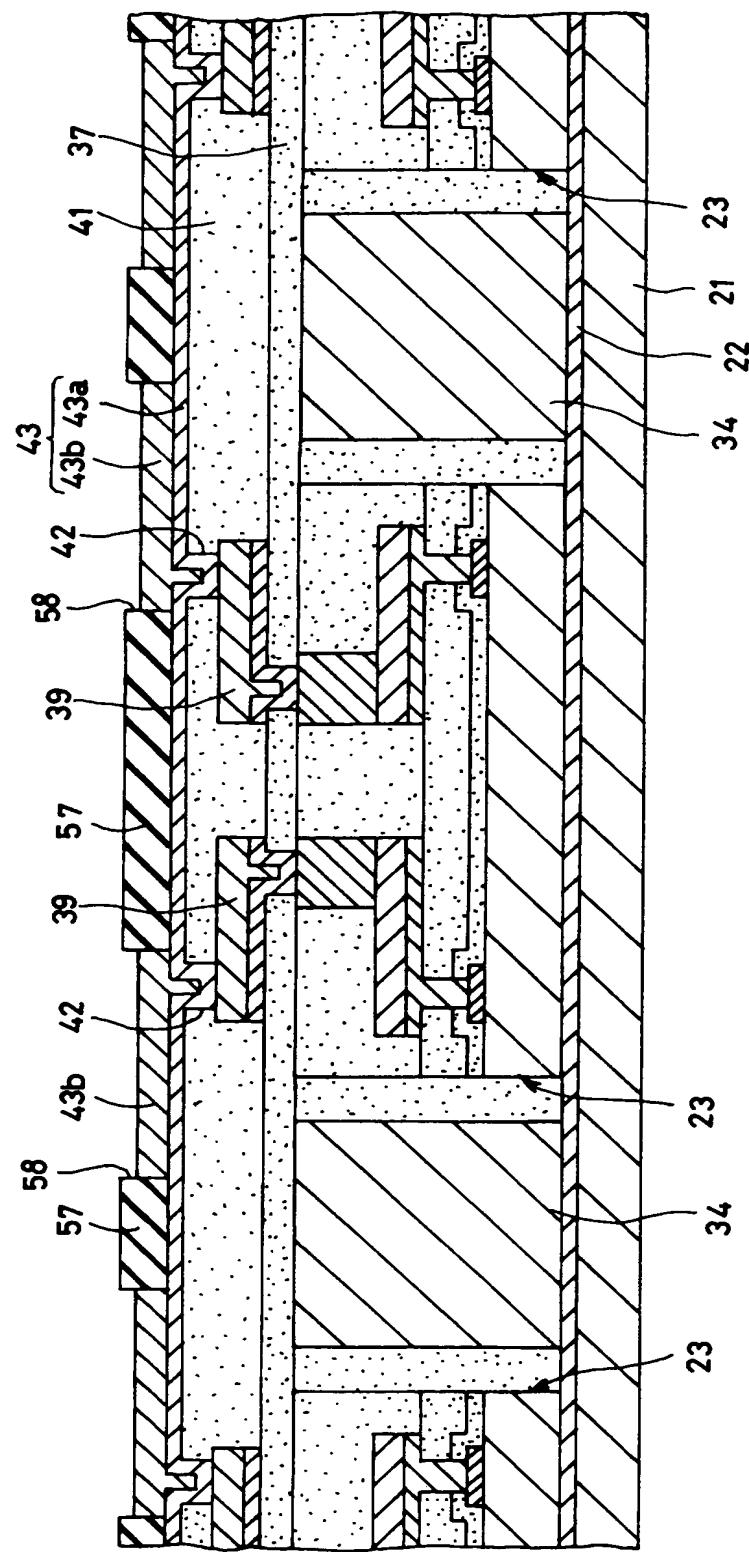
【図13】



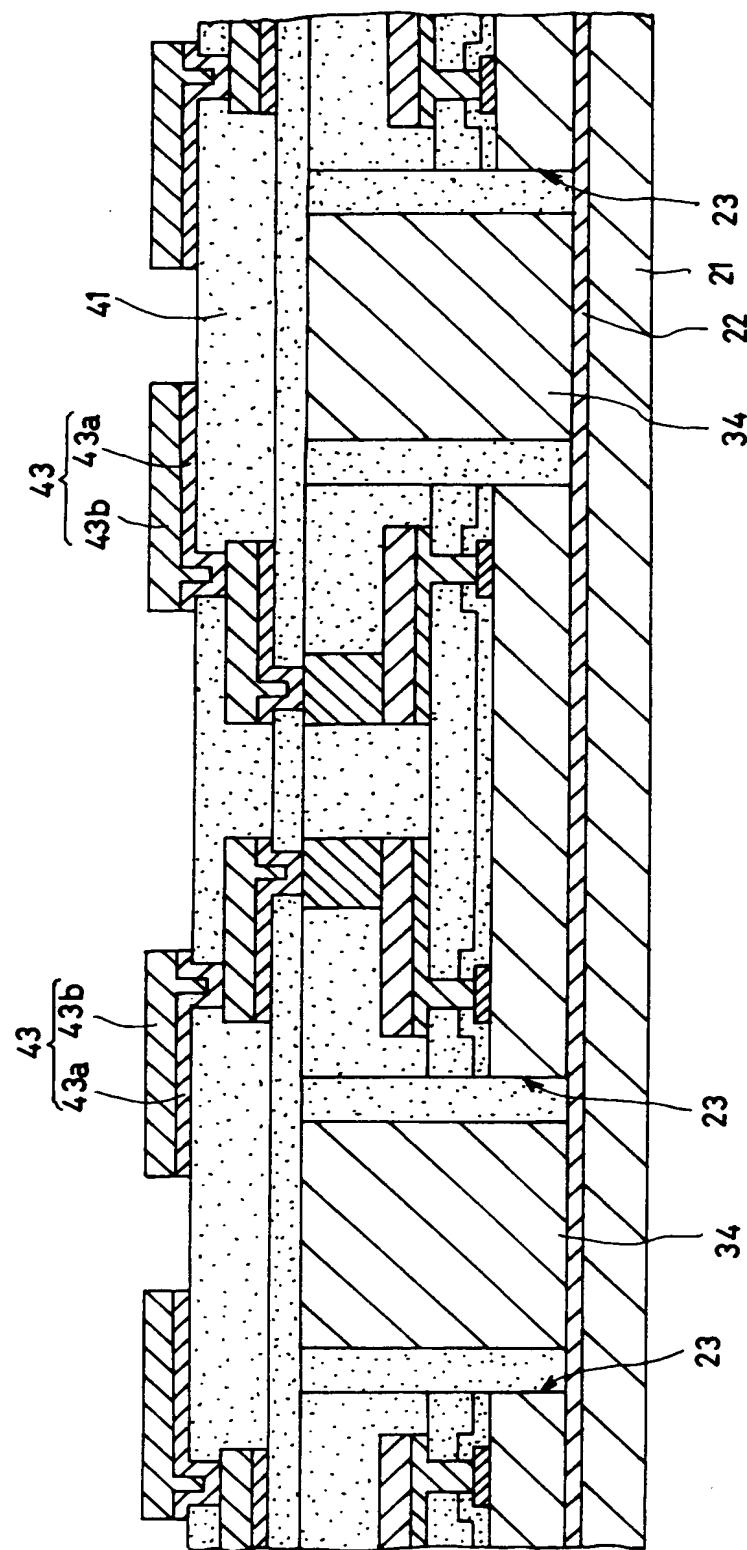
【図14】



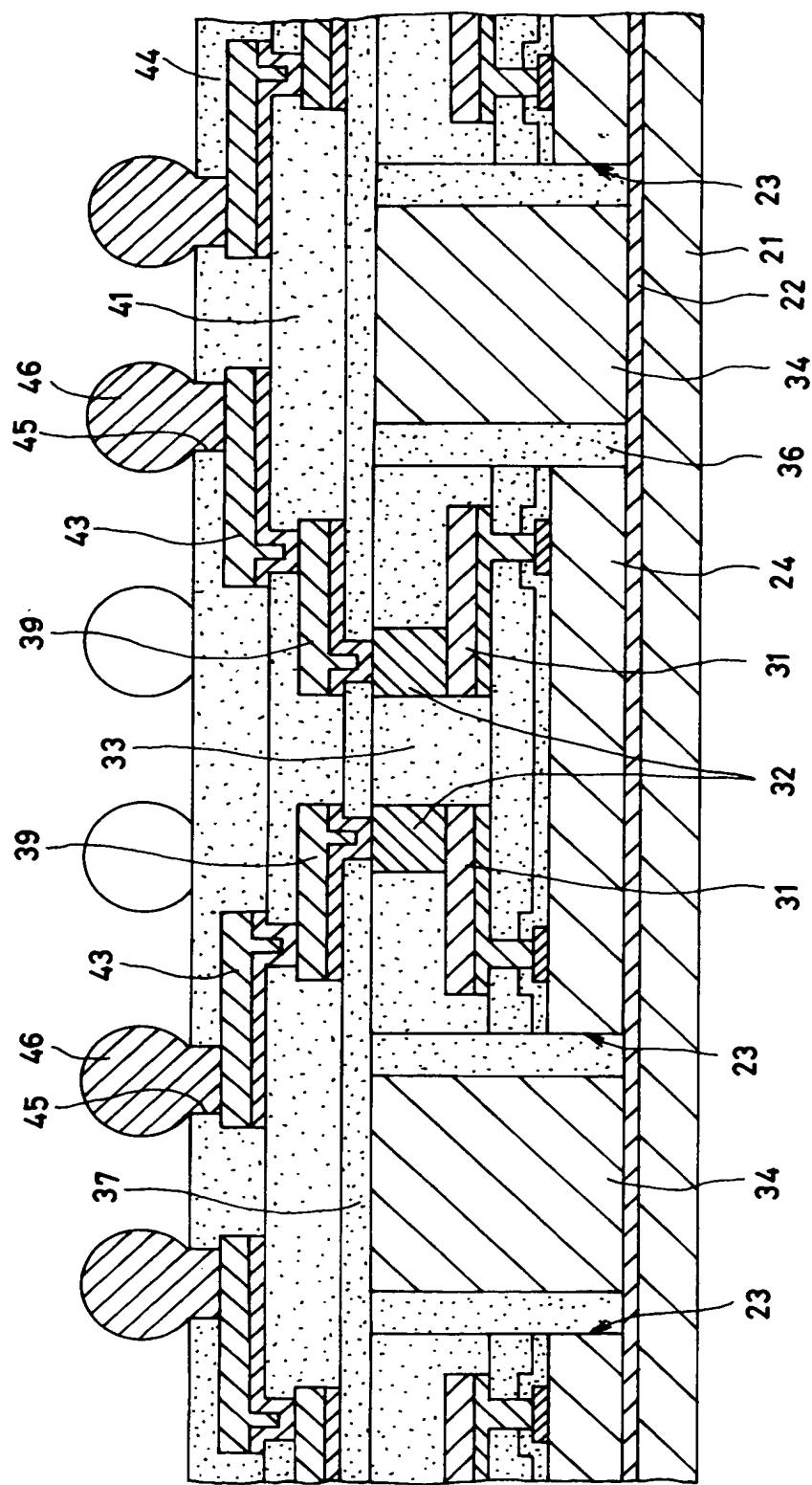
【図15】



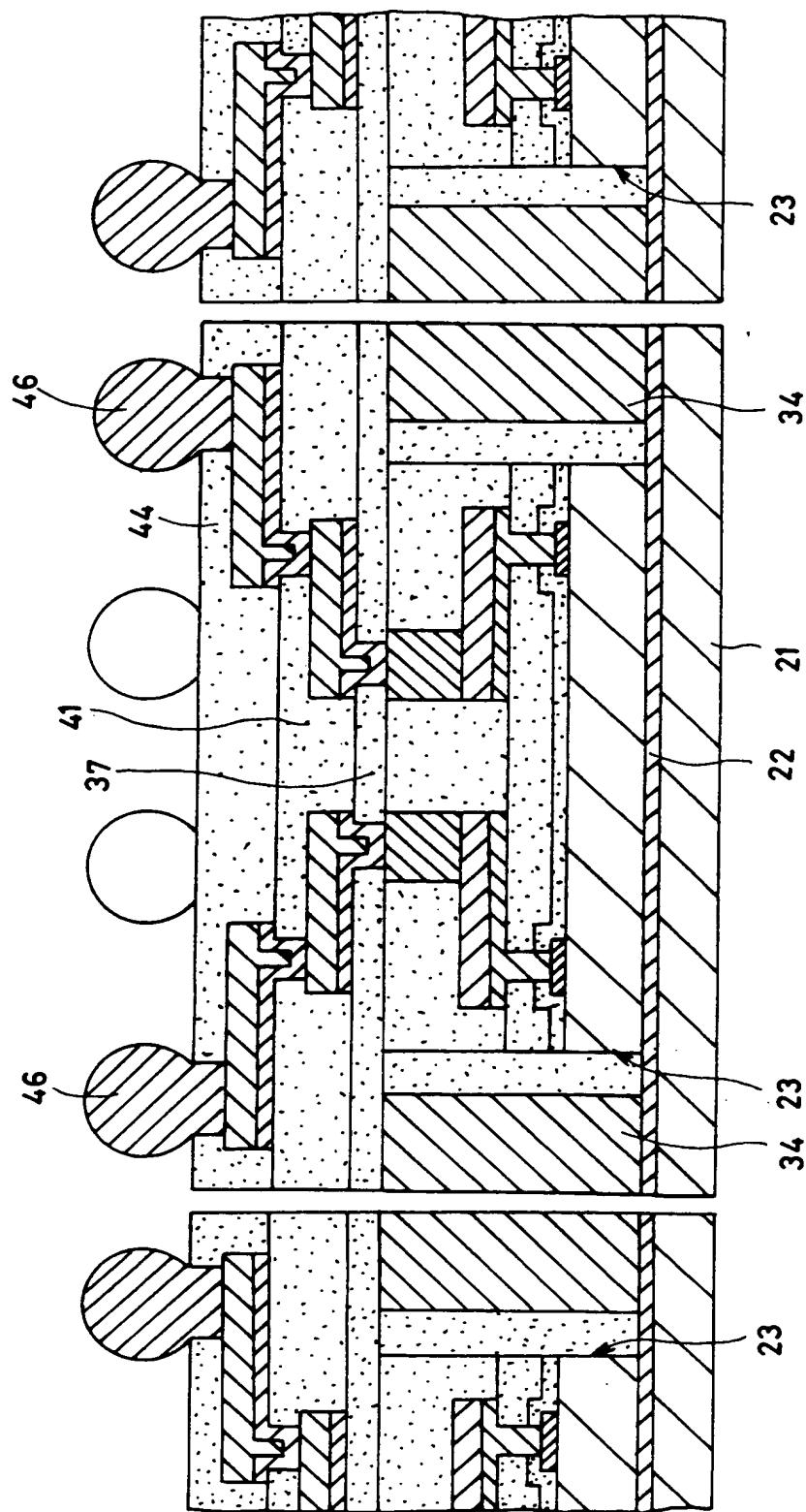
【図16】



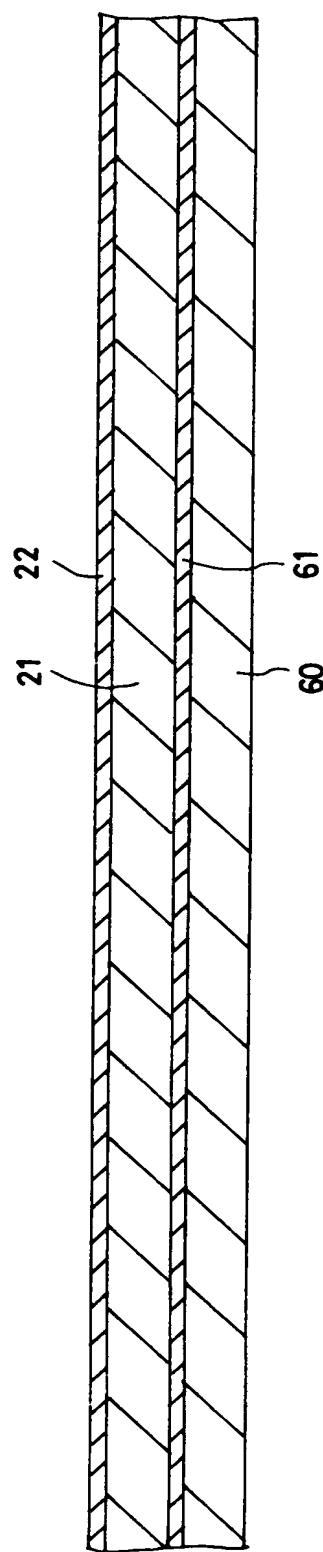
【図17】



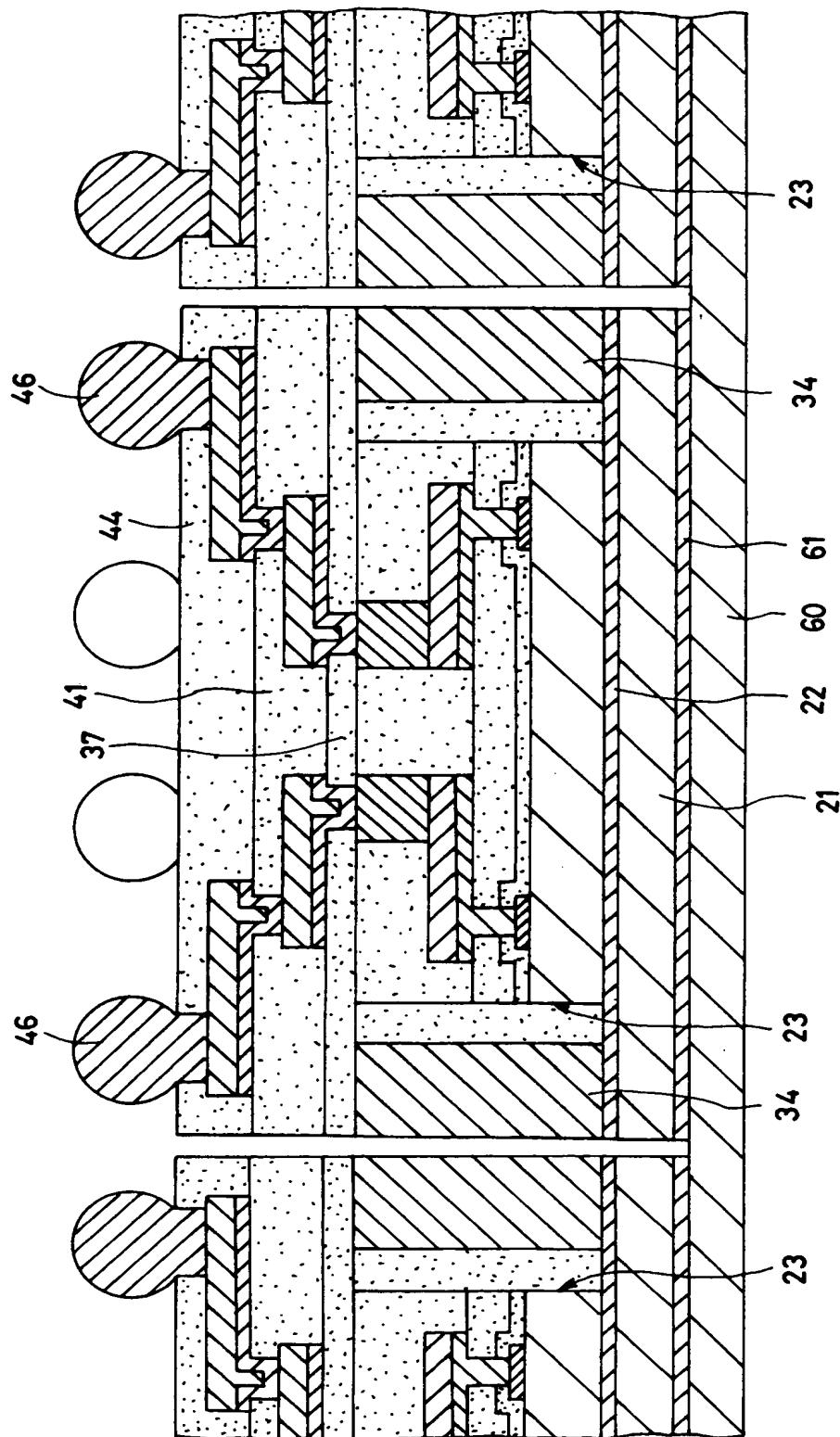
【図18】



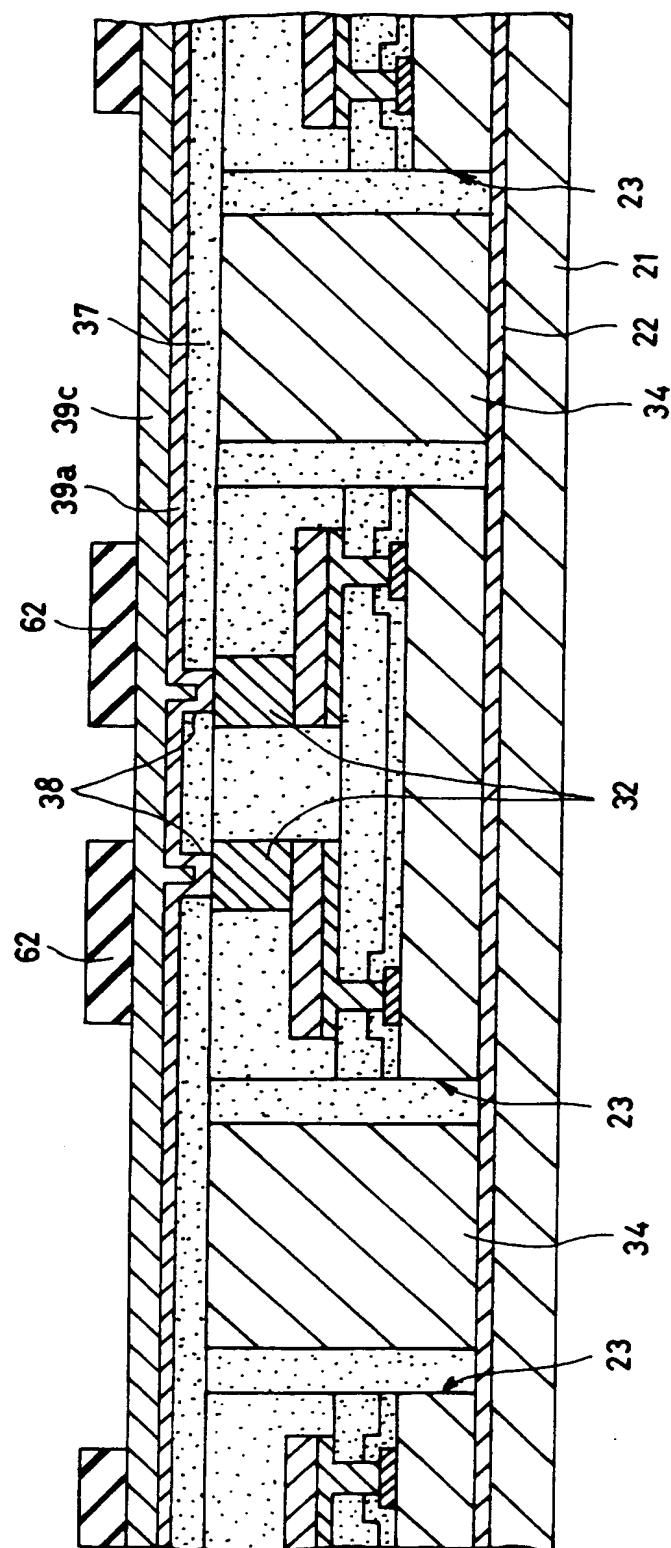
【図19】



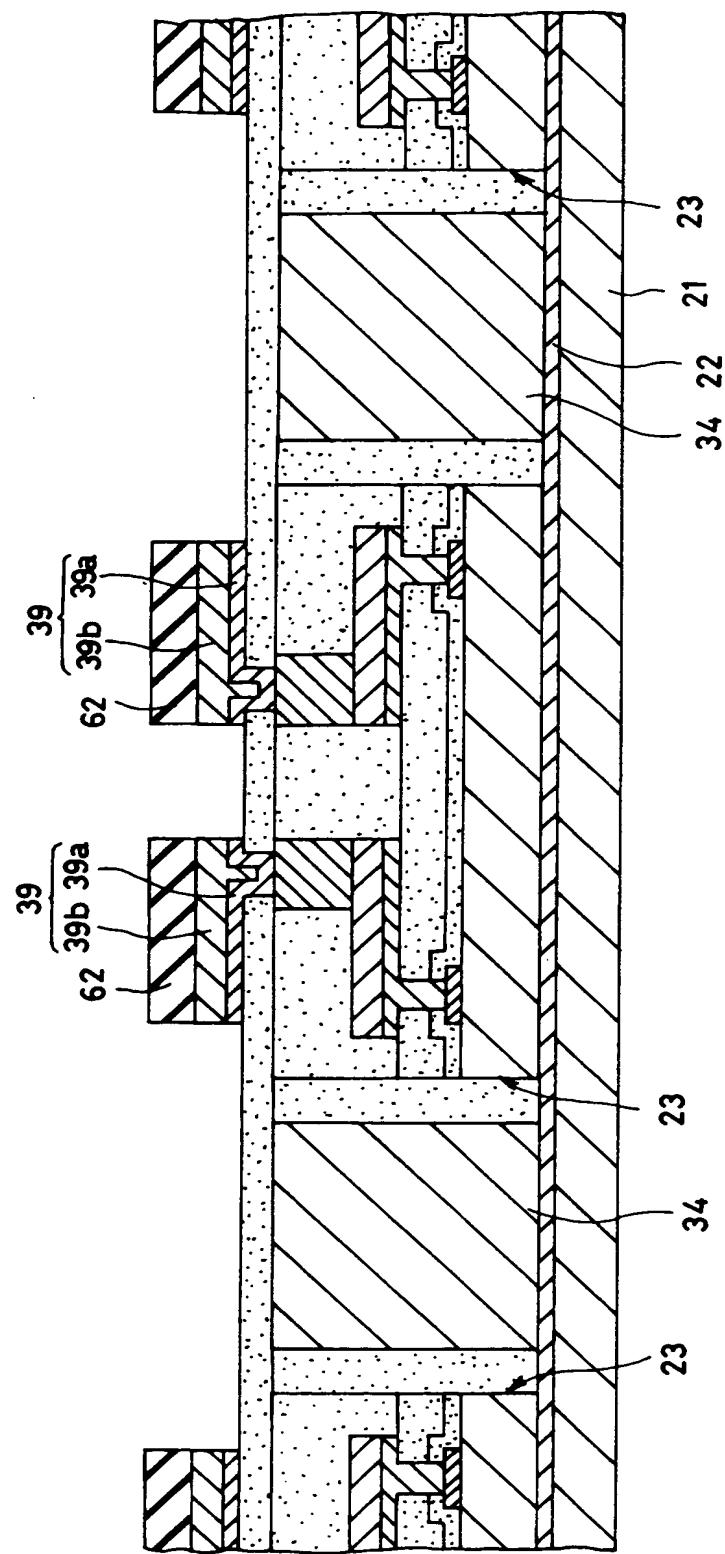
【図20】



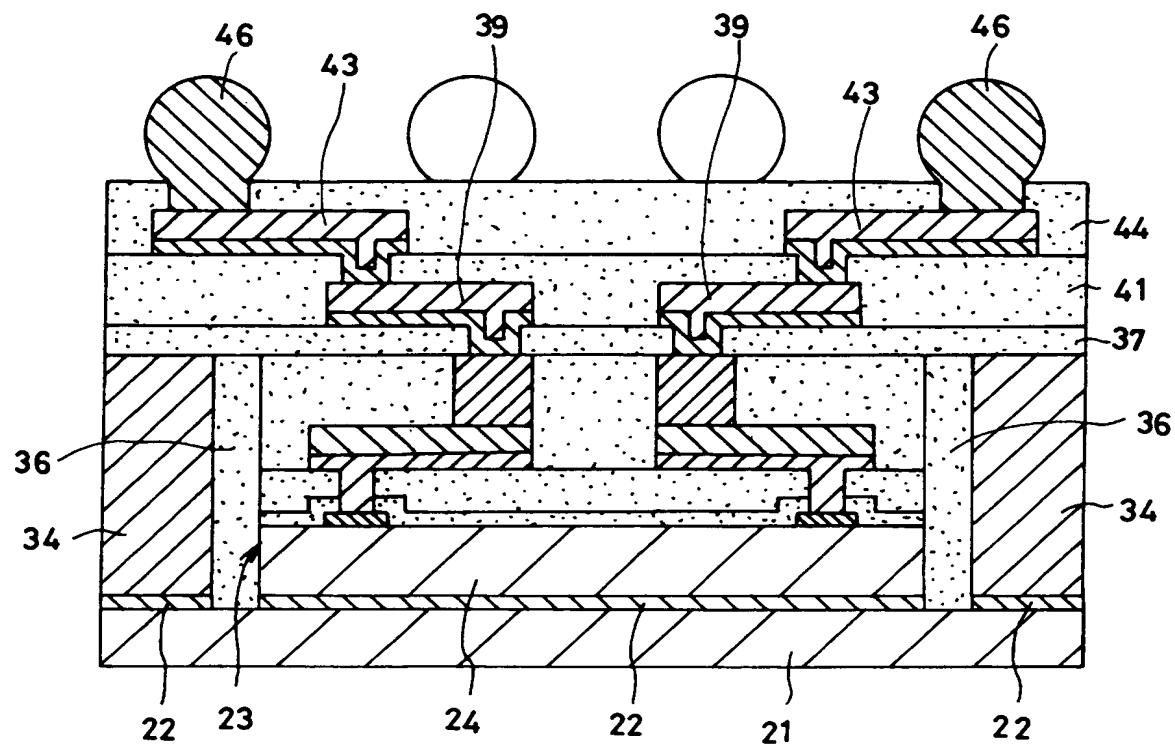
【図21】



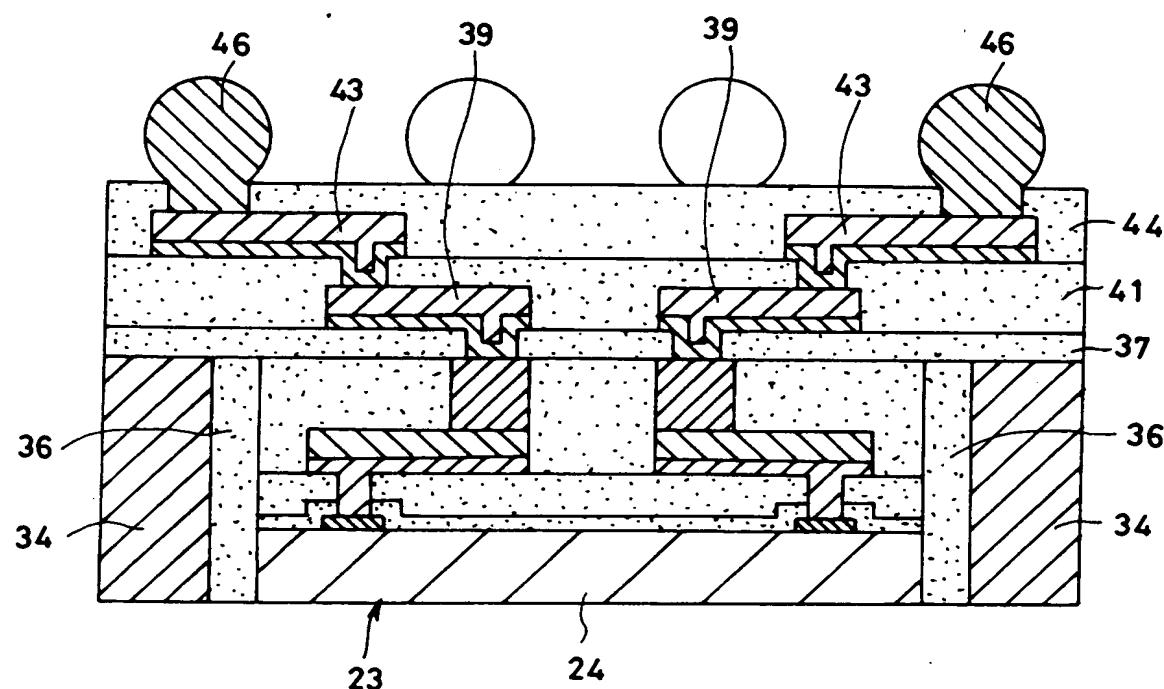
【図22】



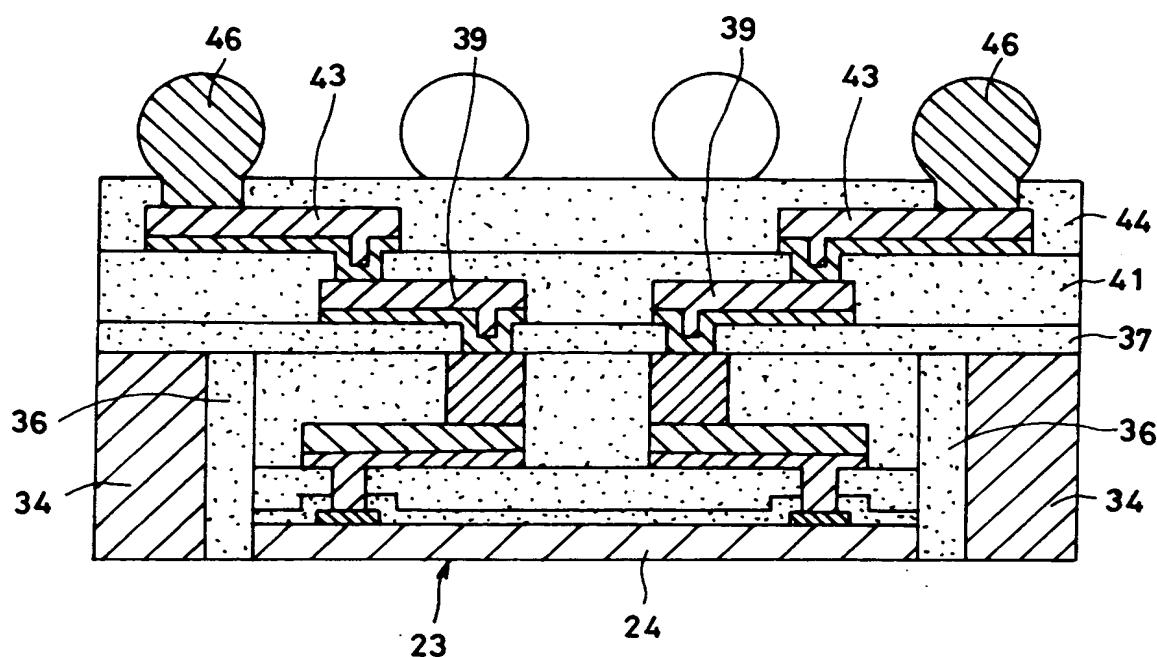
【図23】



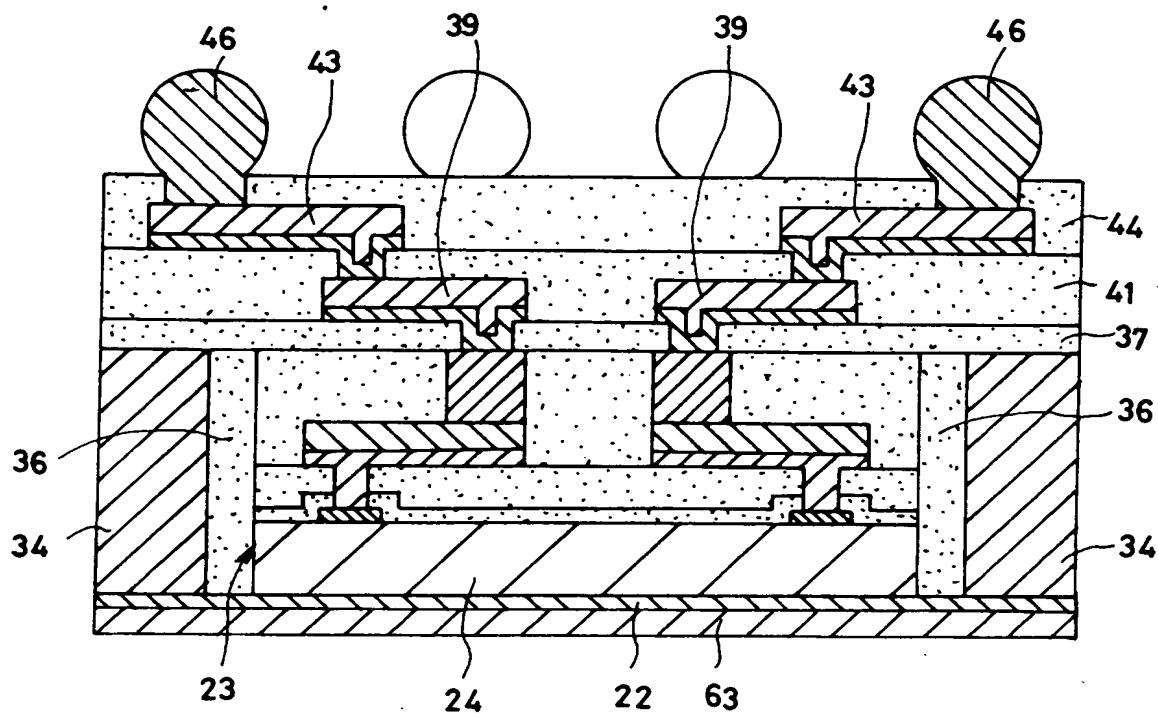
【図24】



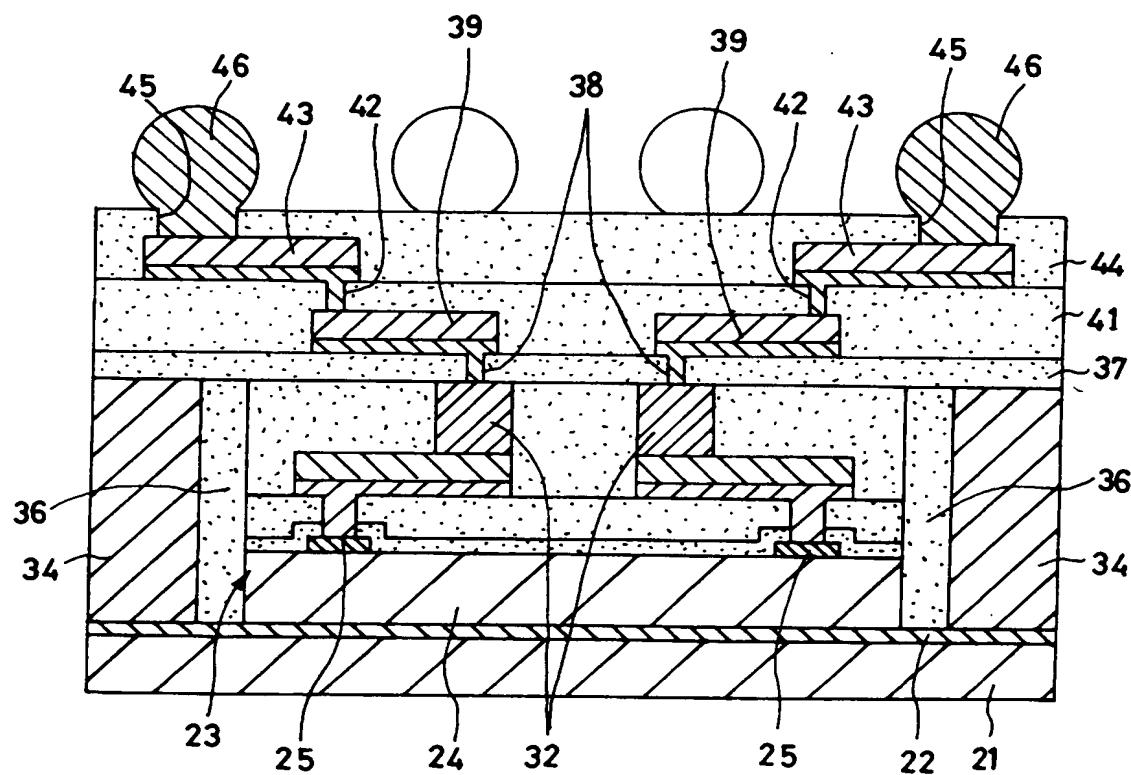
【図25】



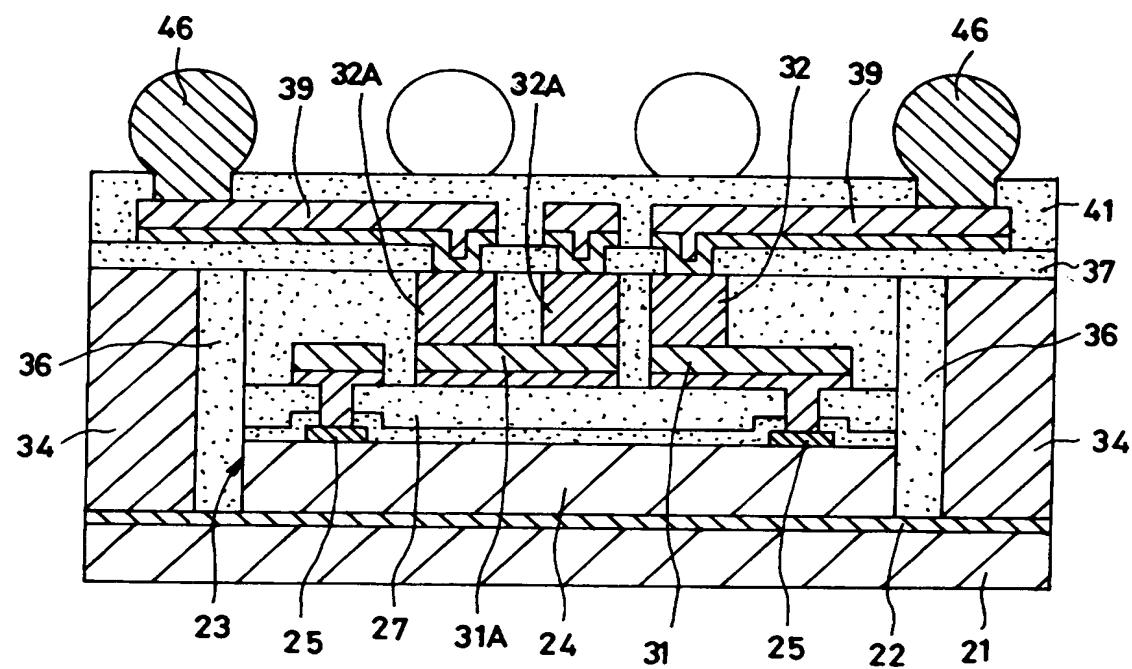
【図26】



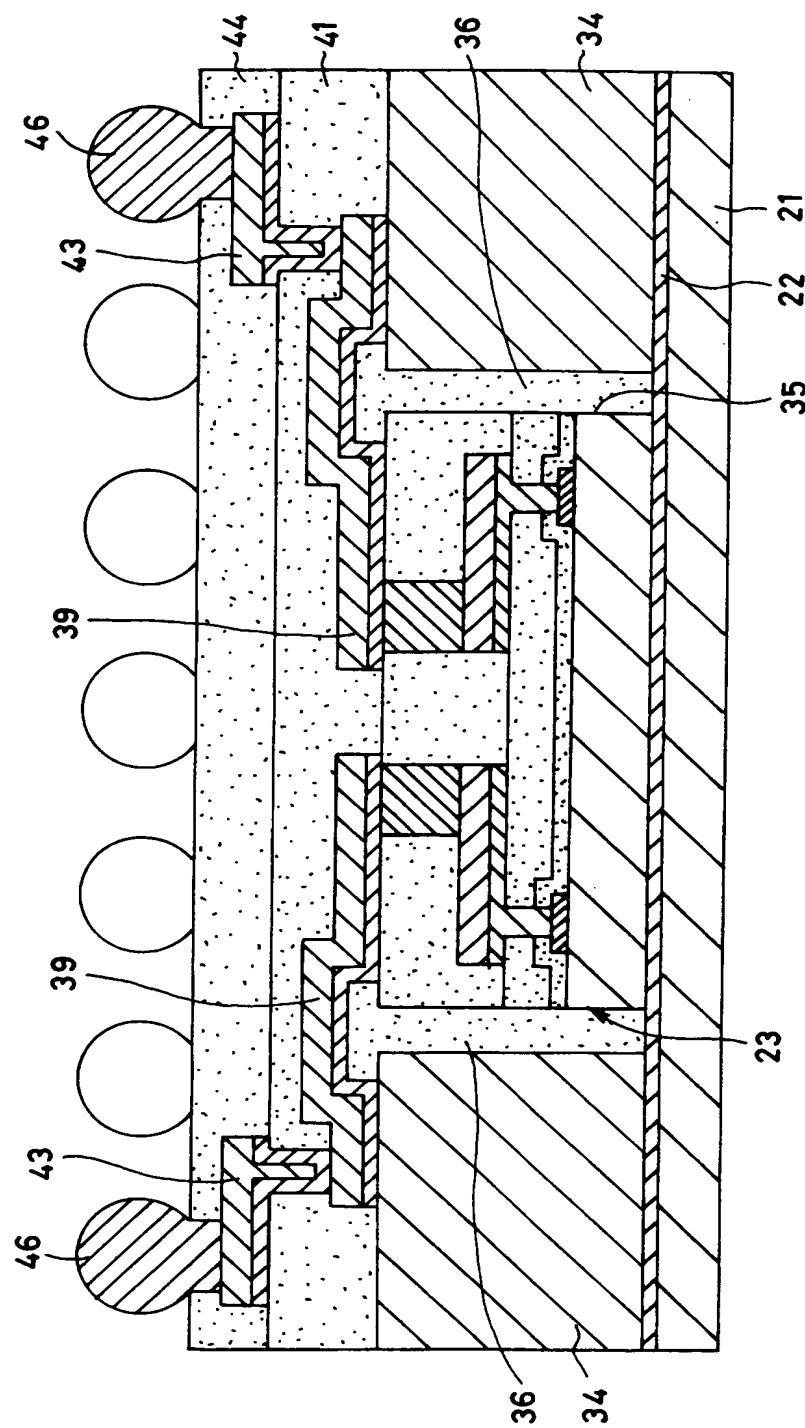
【図27】



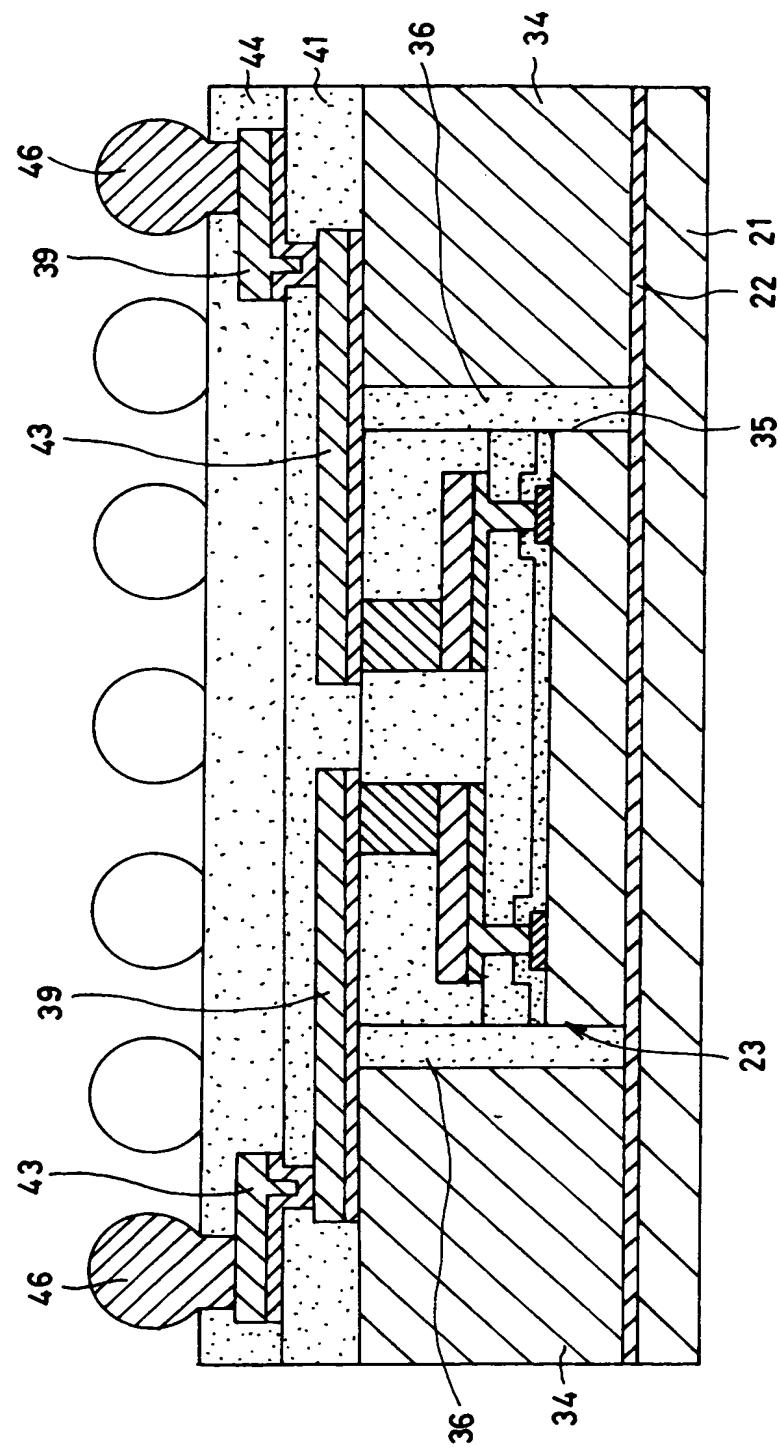
【図28】



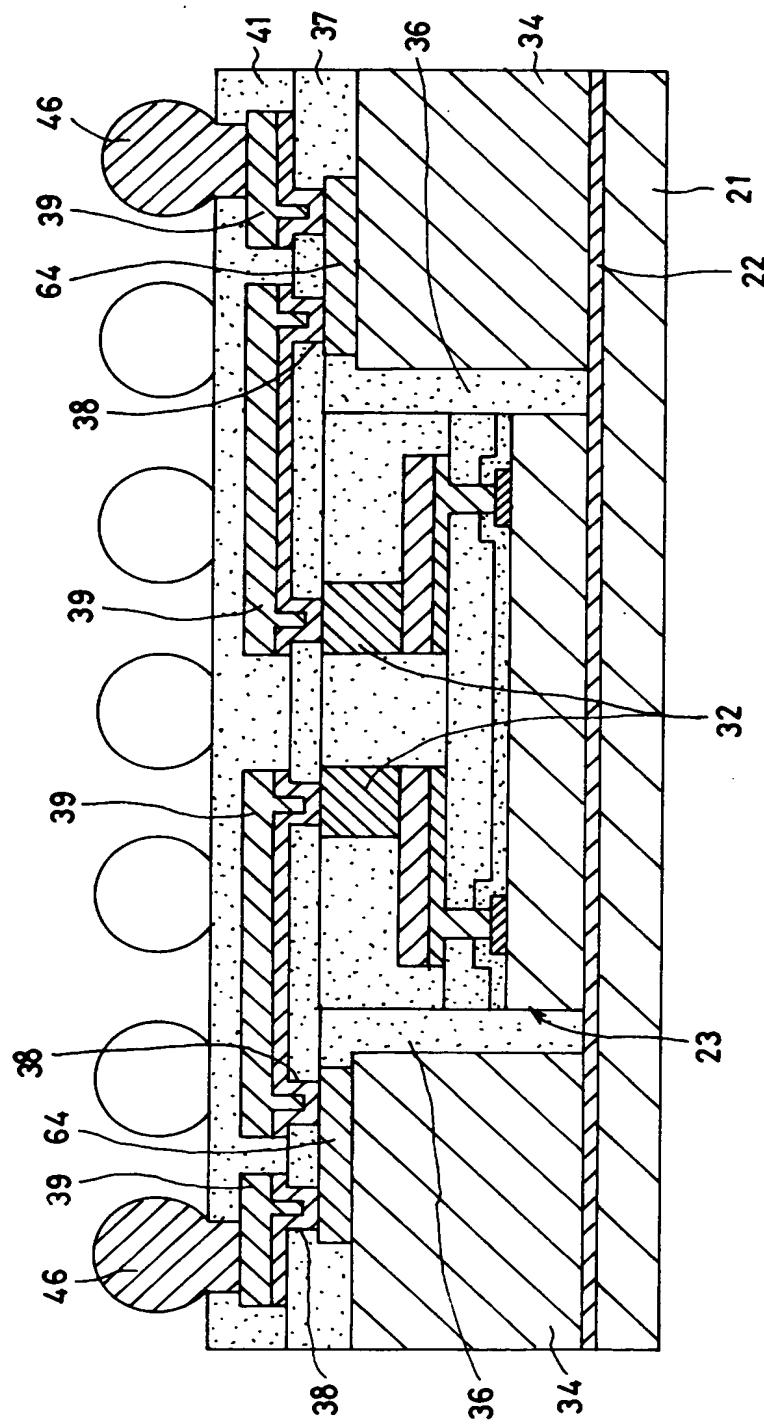
【図29】



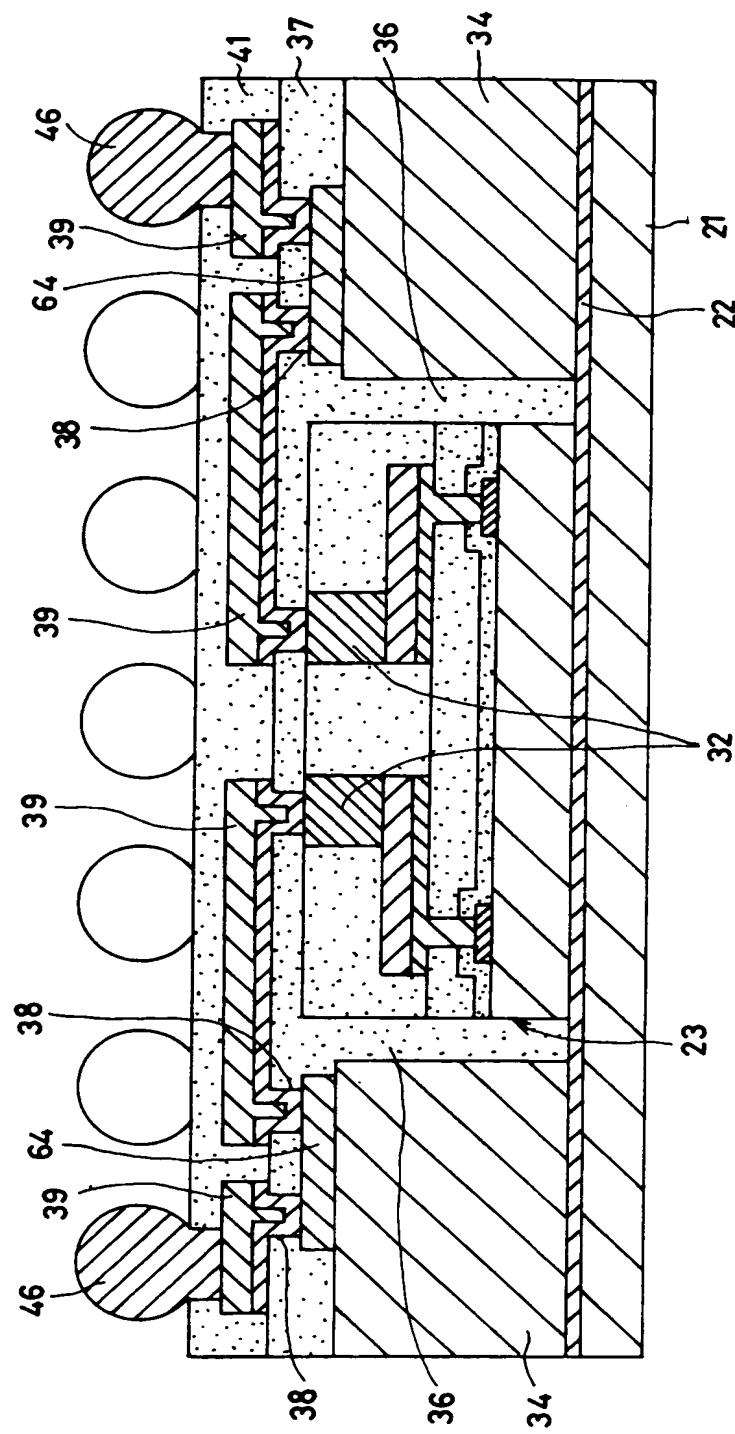
【図30】



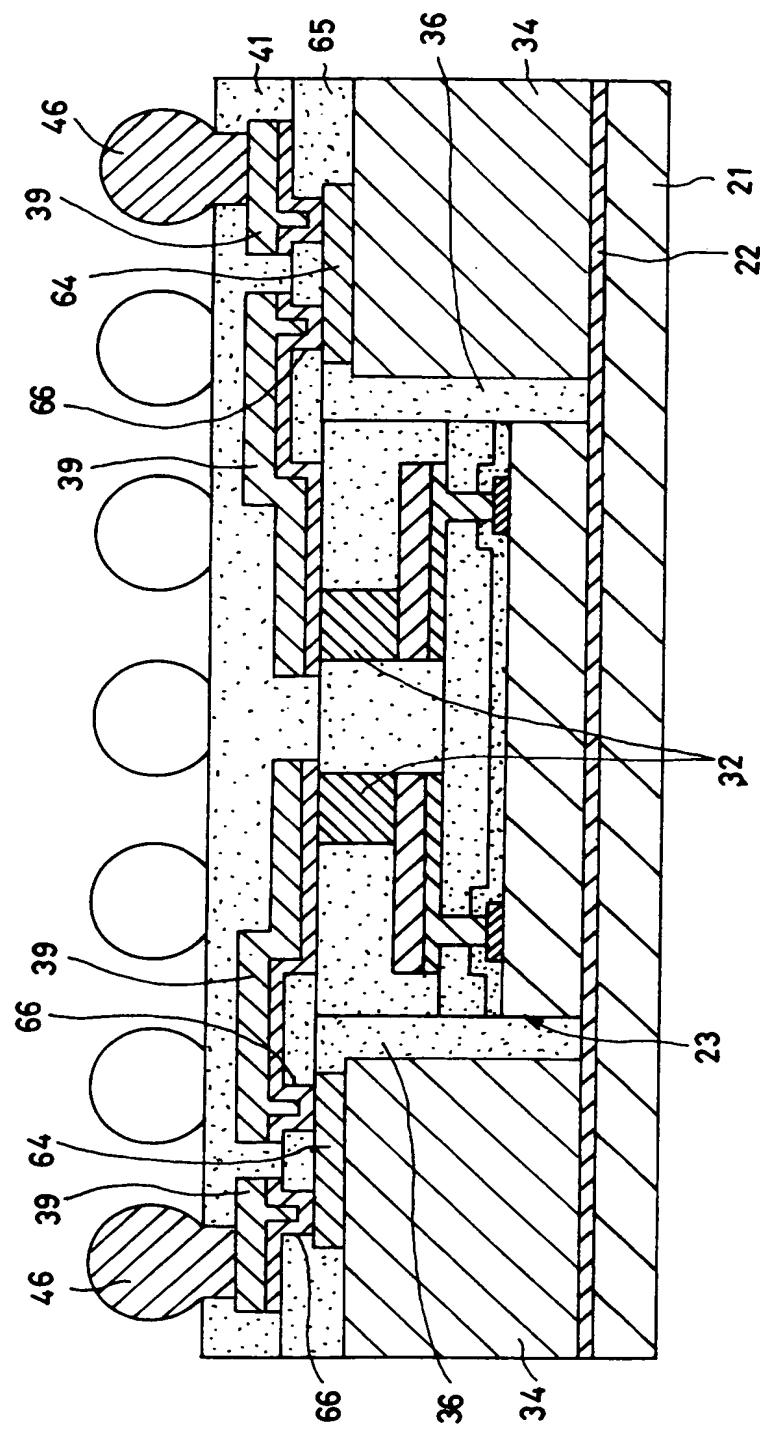
【図31】



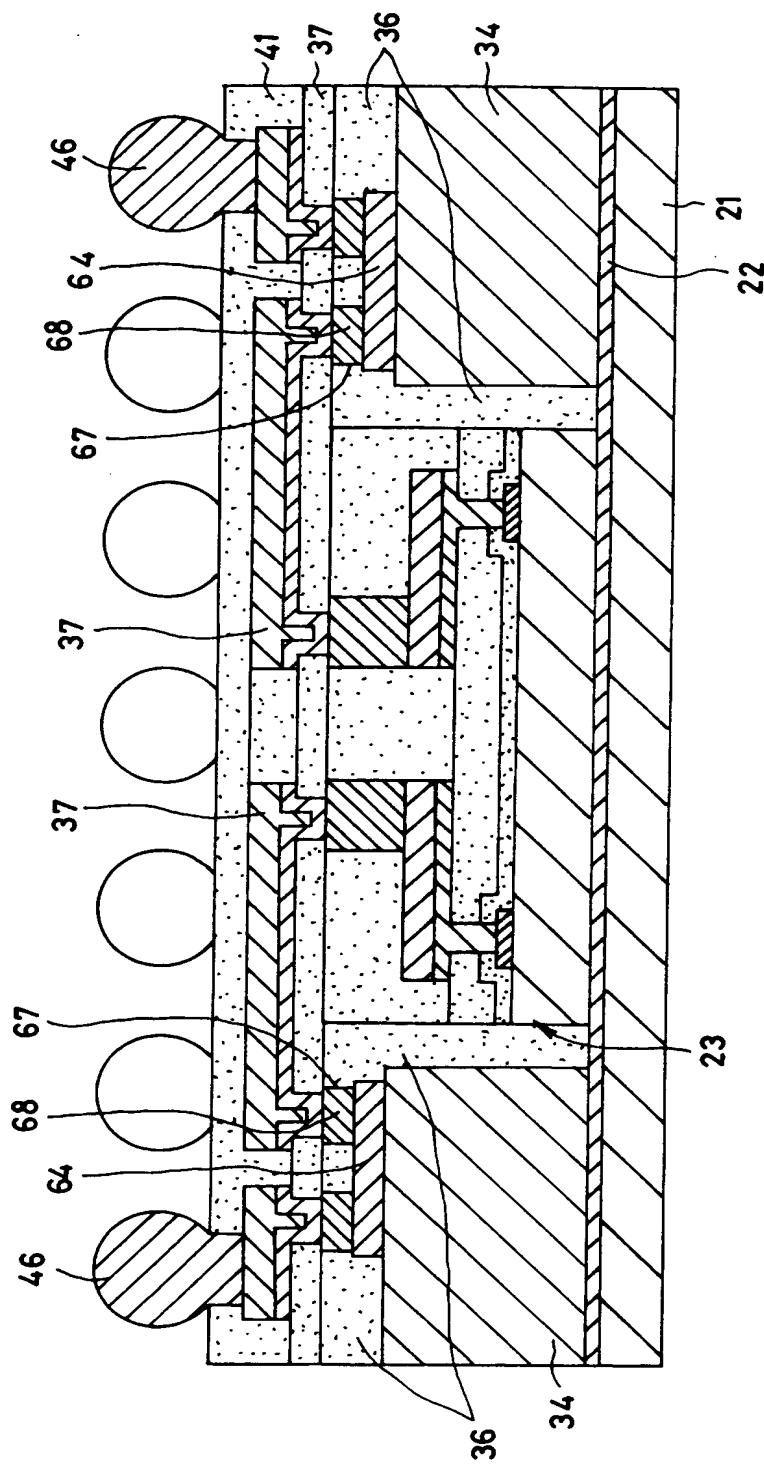
【図32】



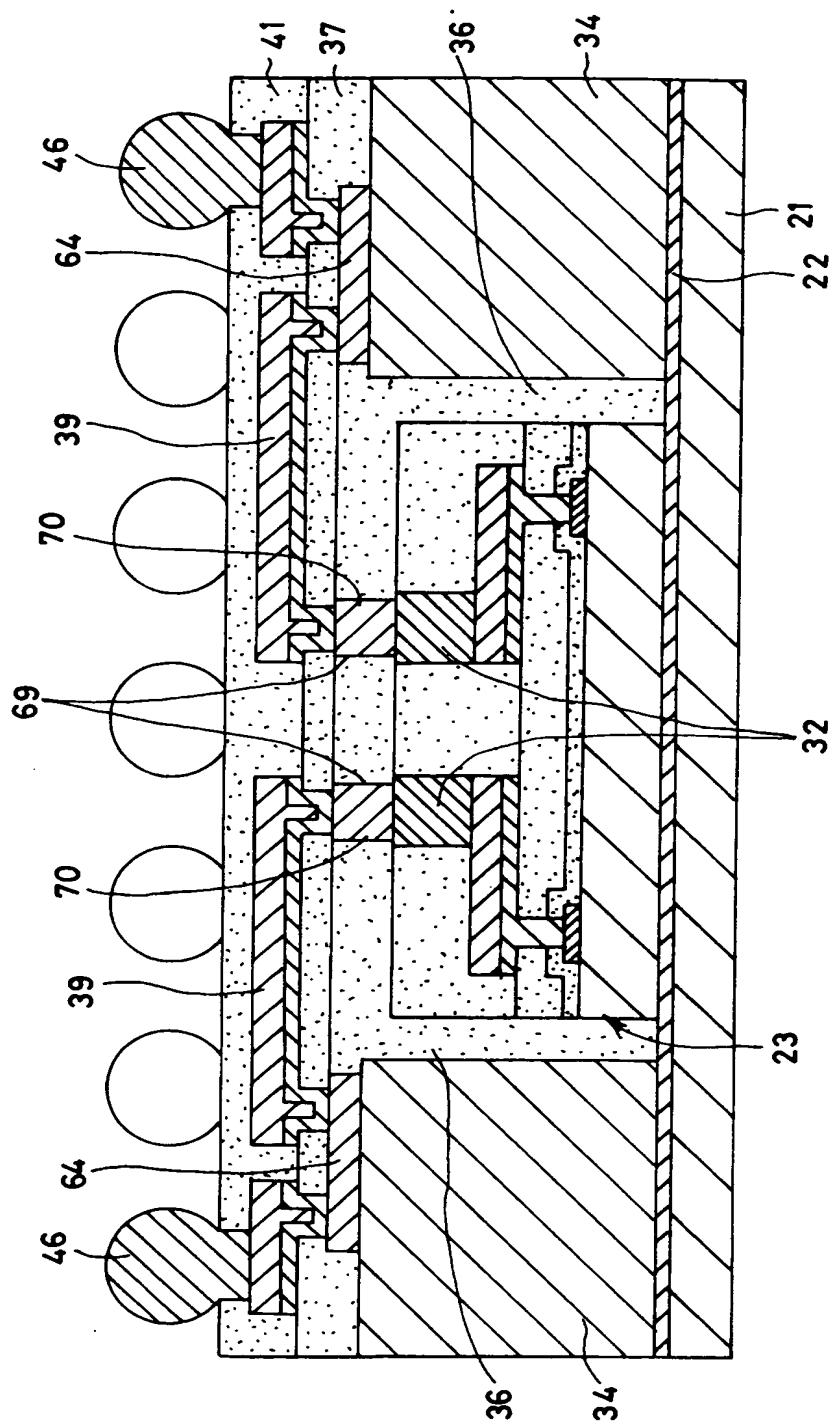
【図33】



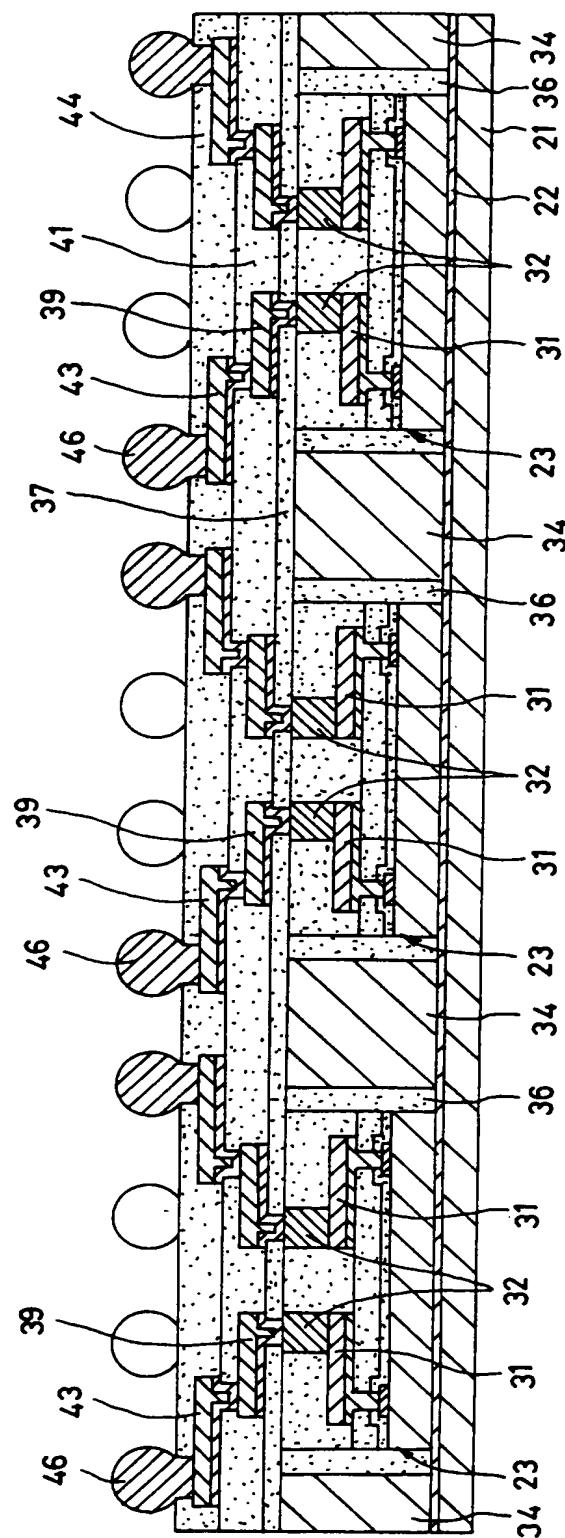
【図34】



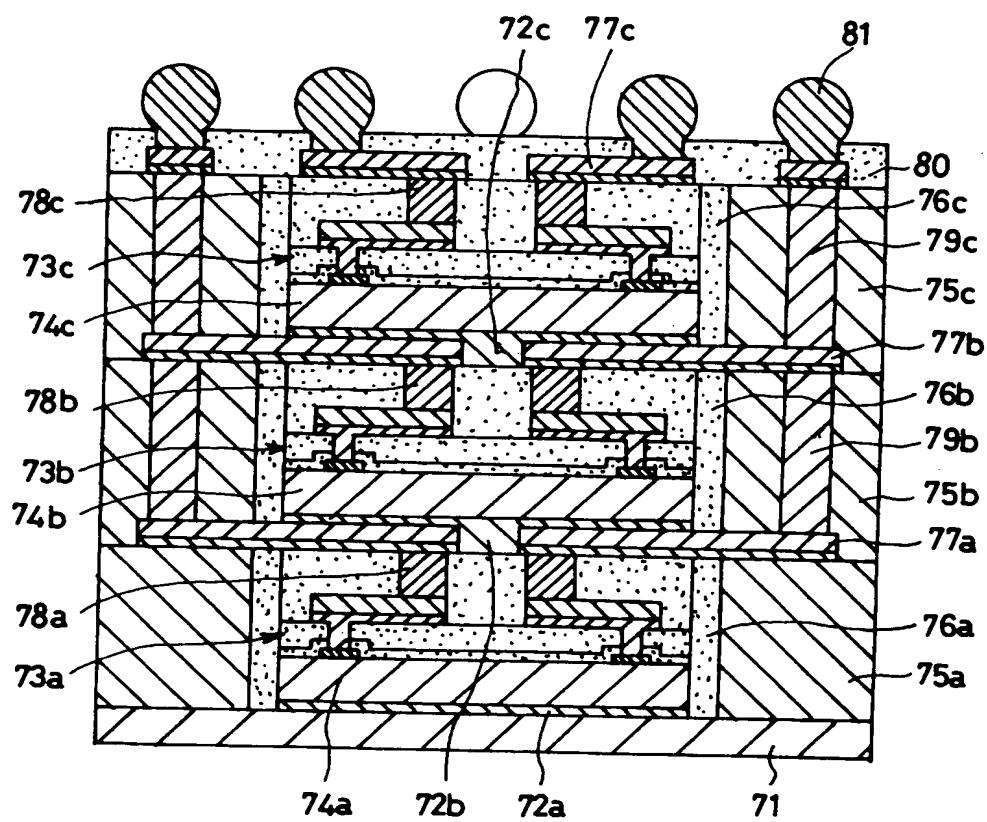
【図35】



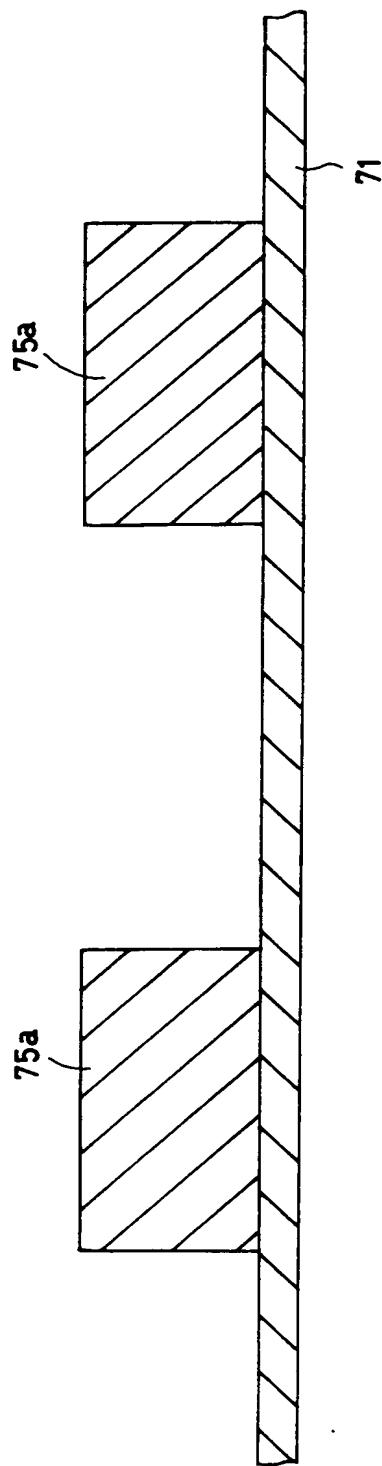
【図3-6】



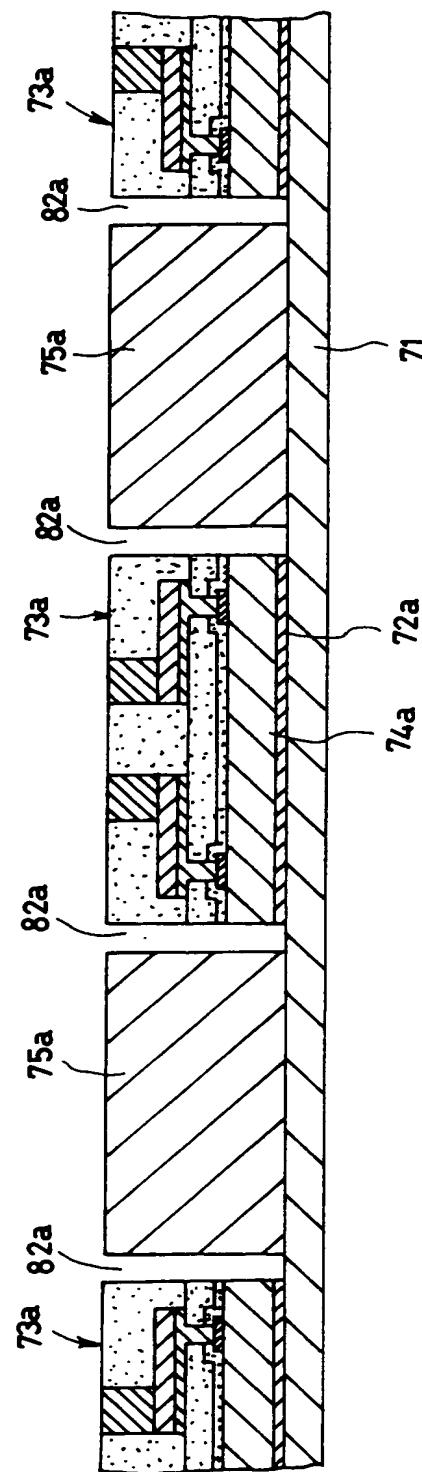
【図37】



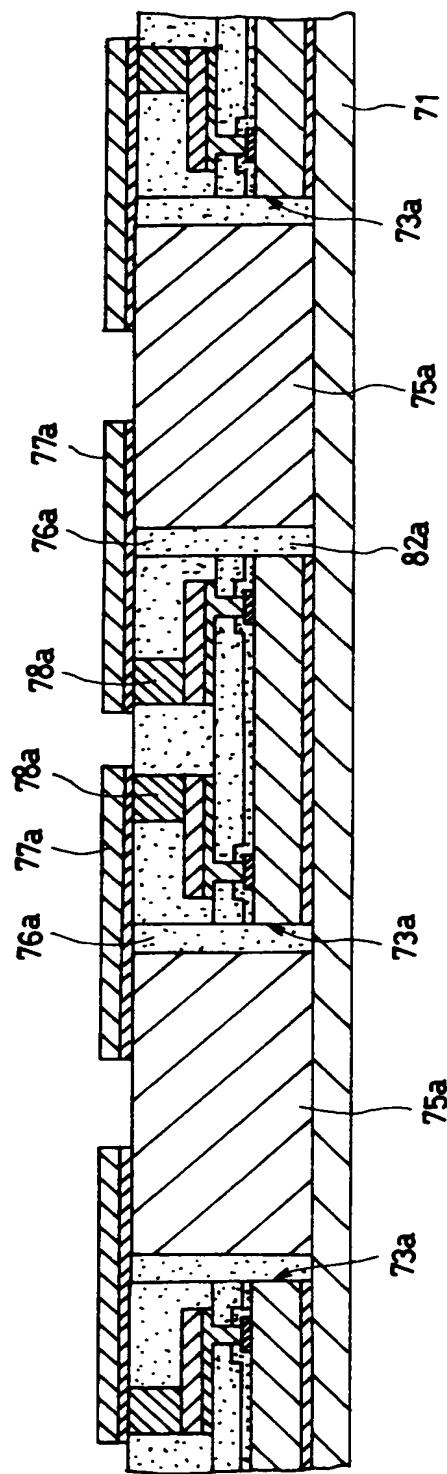
【図38】



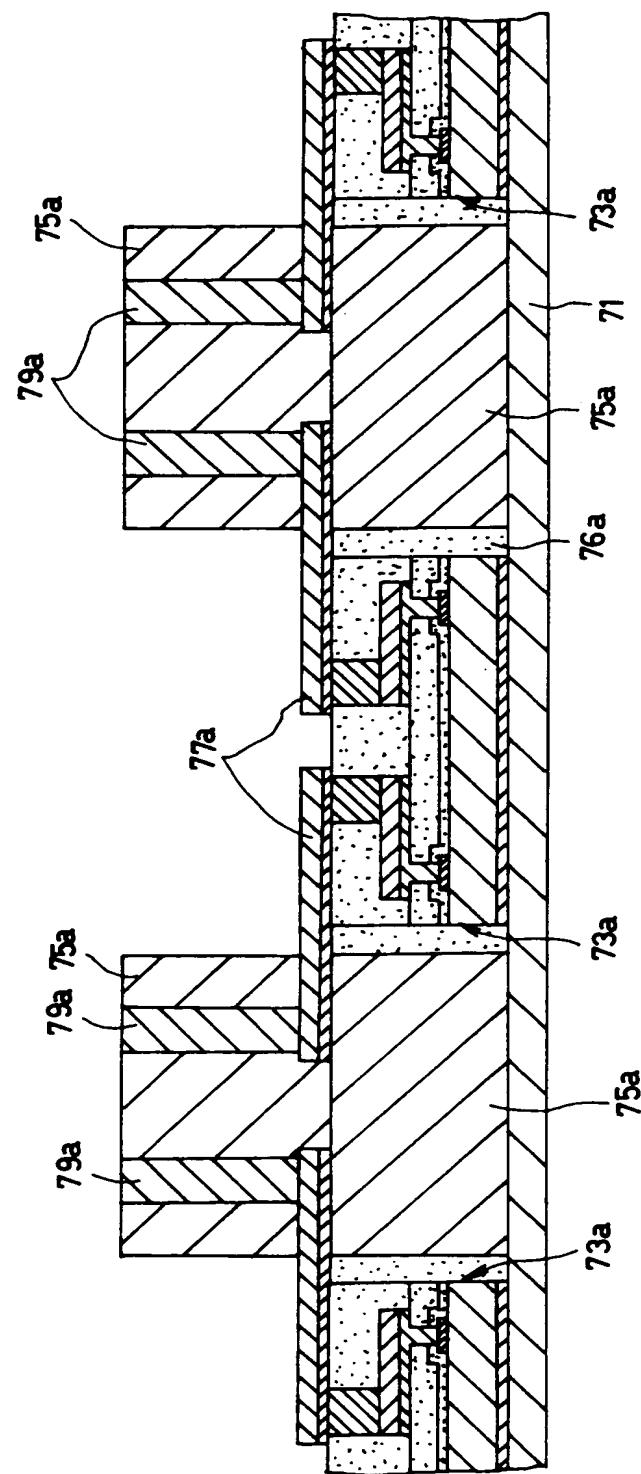
【図39】



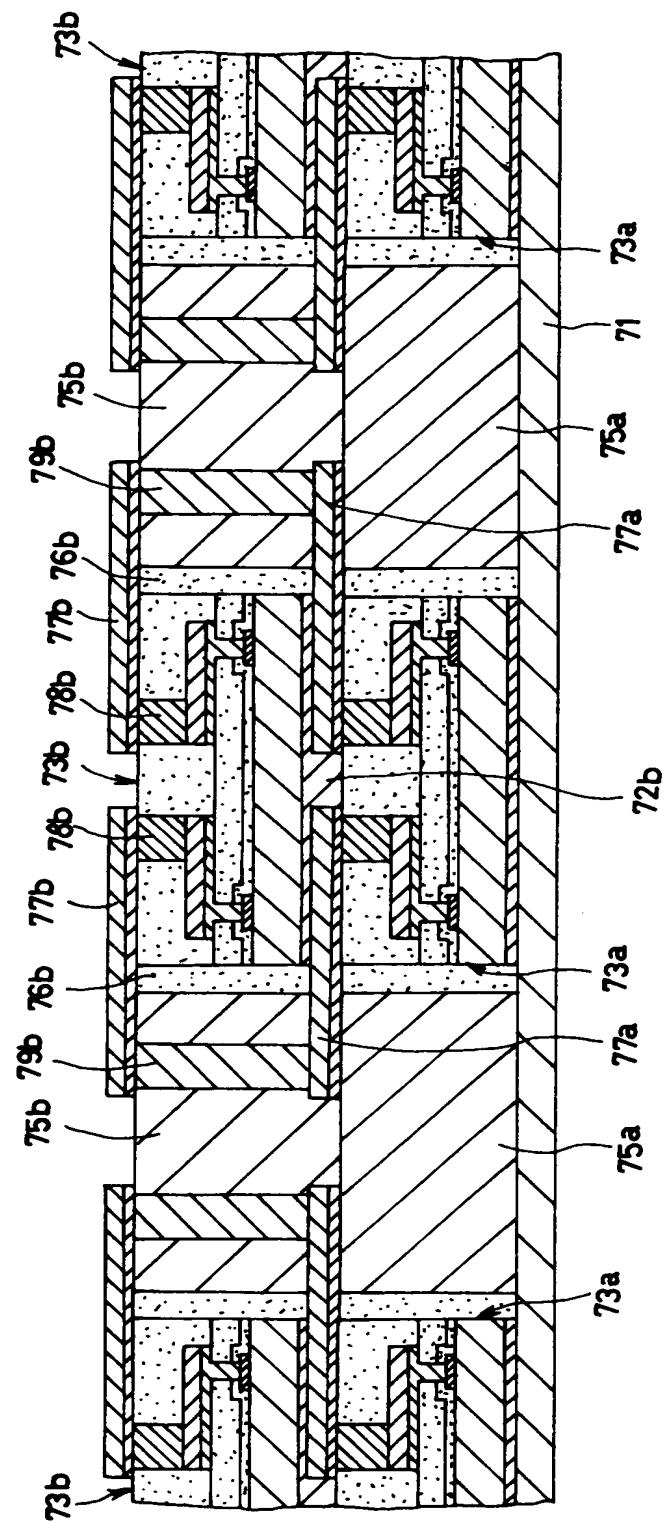
【図40】



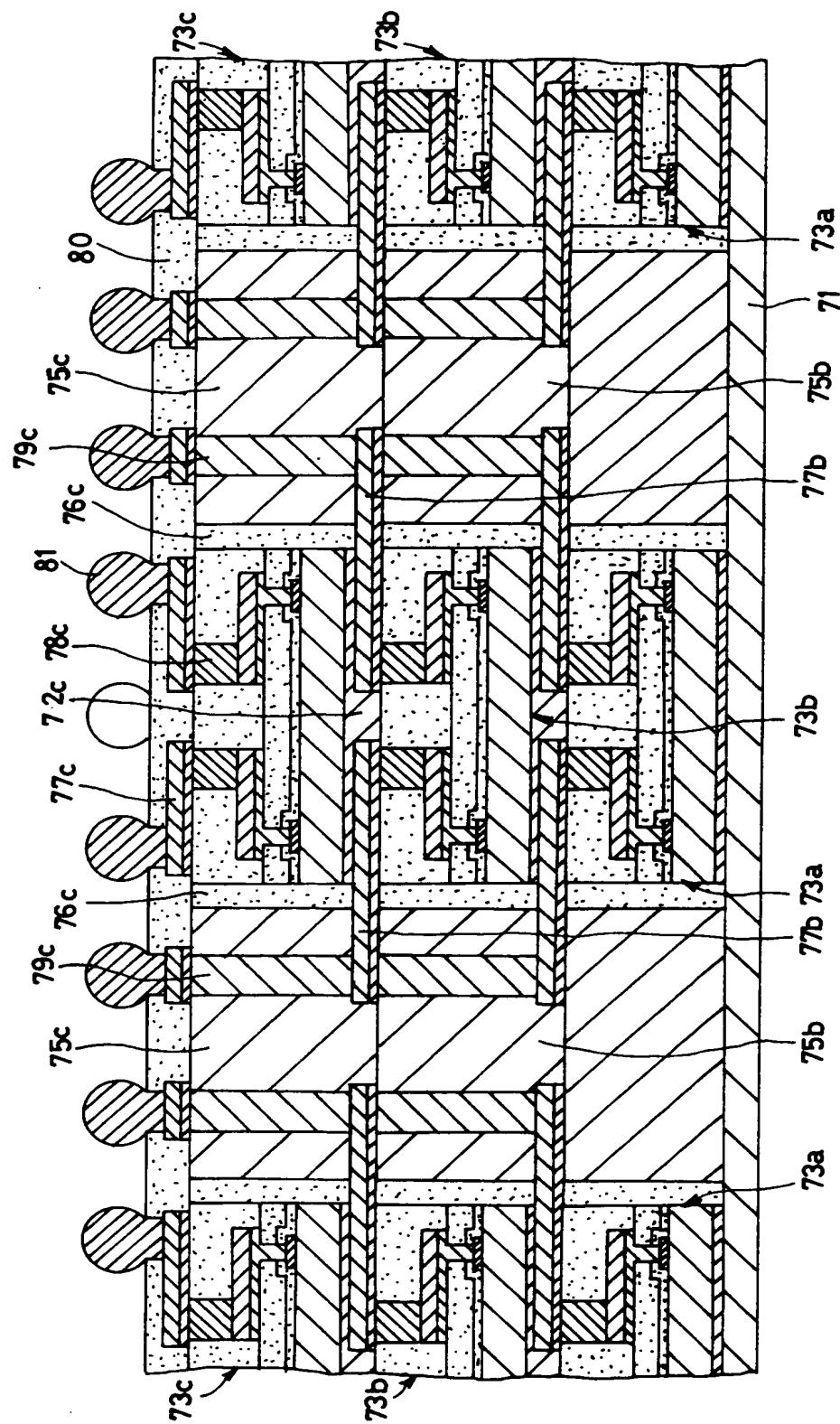
【図41】



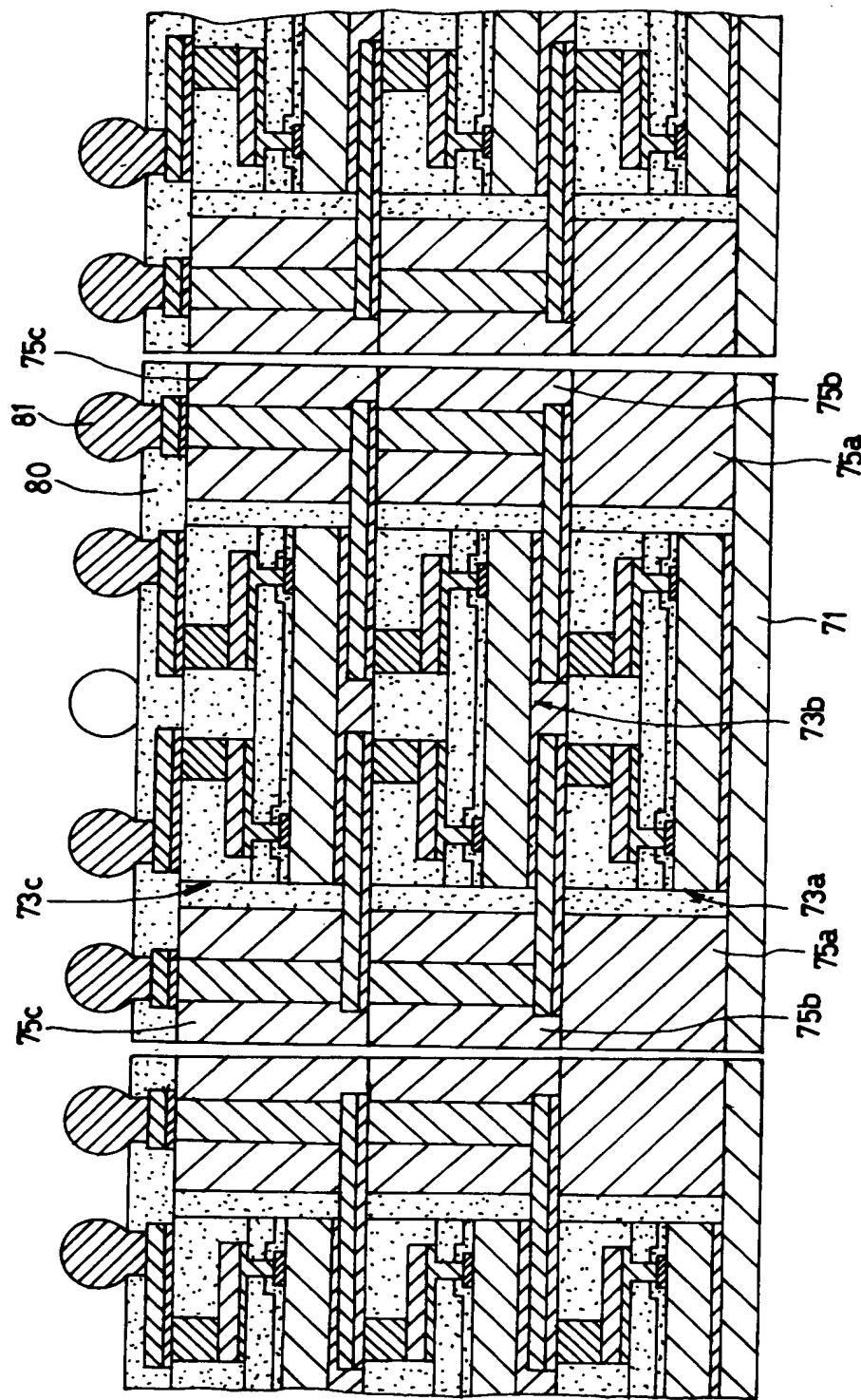
【図42】



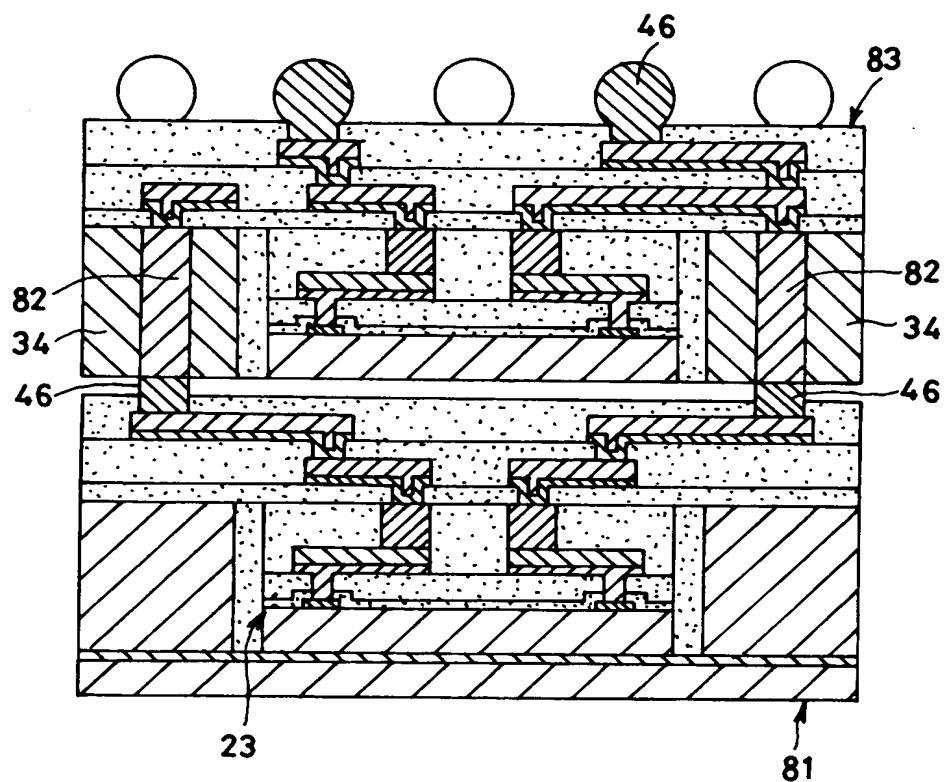
【図43】



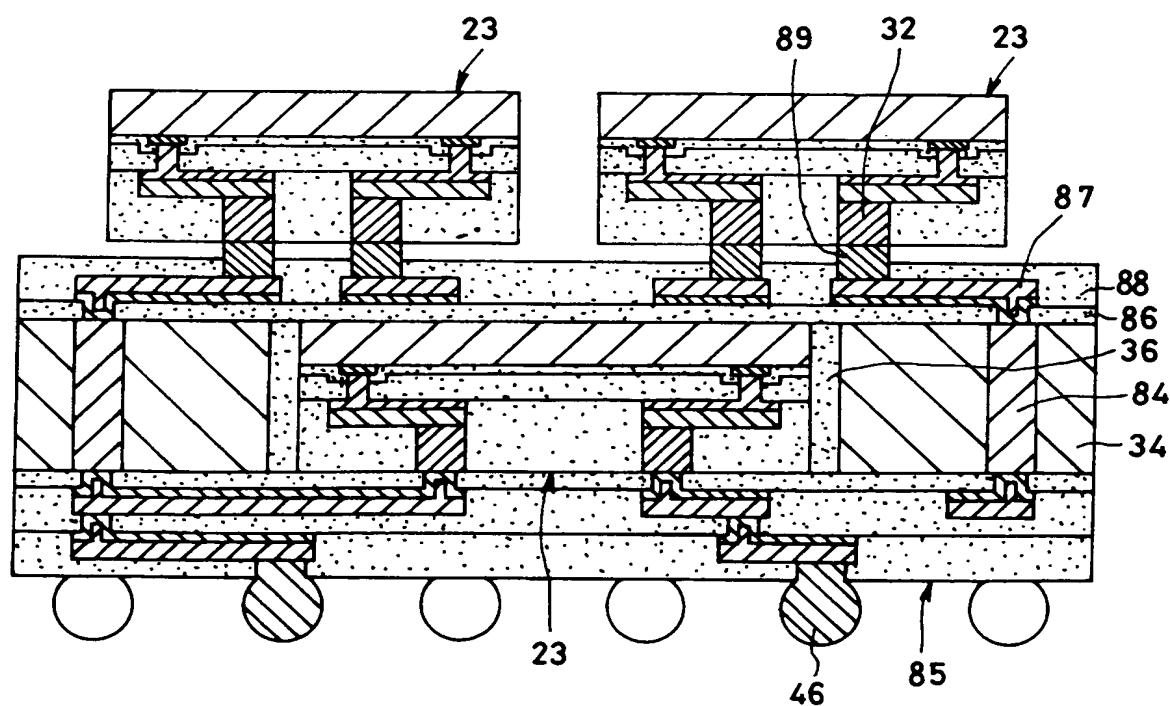
【図44】



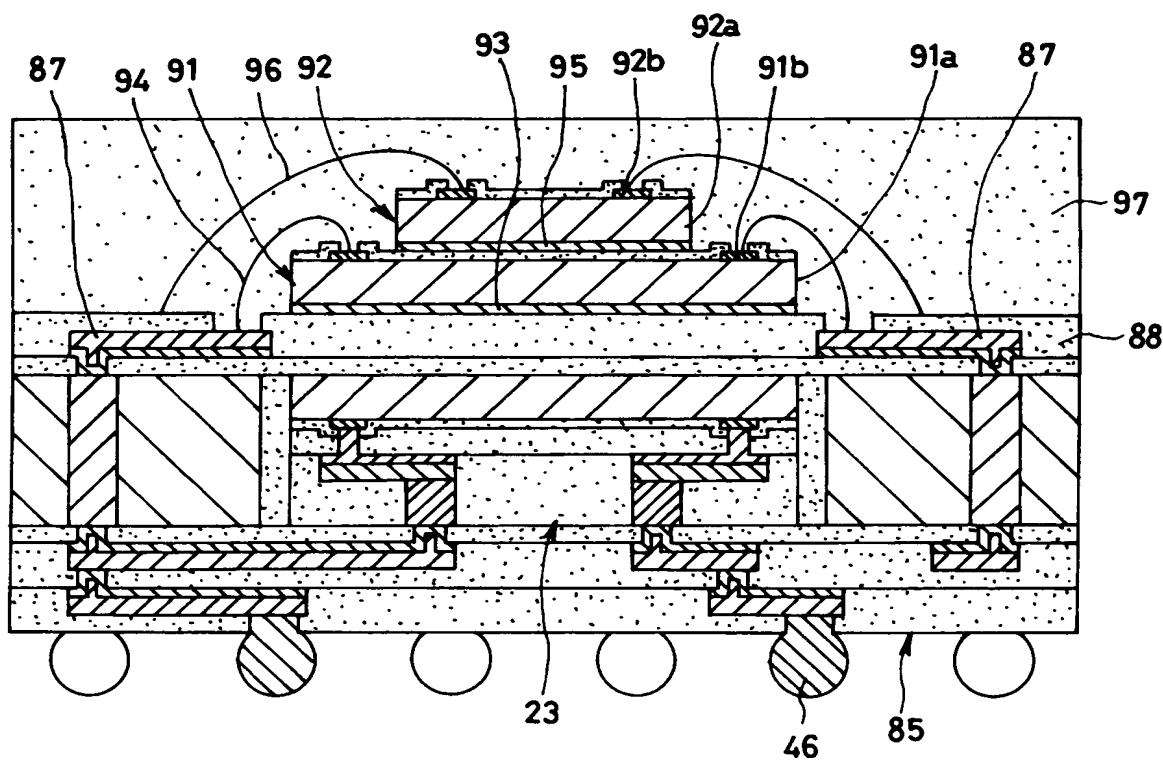
【図45】



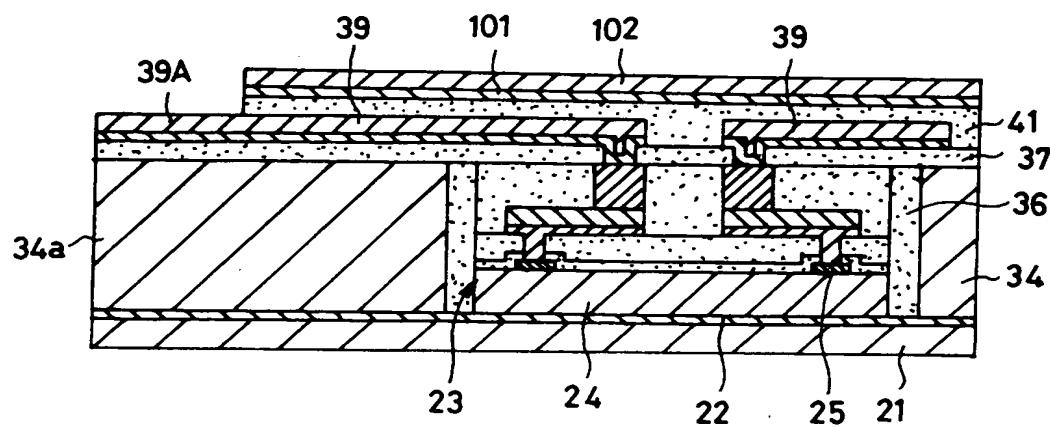
【図46】



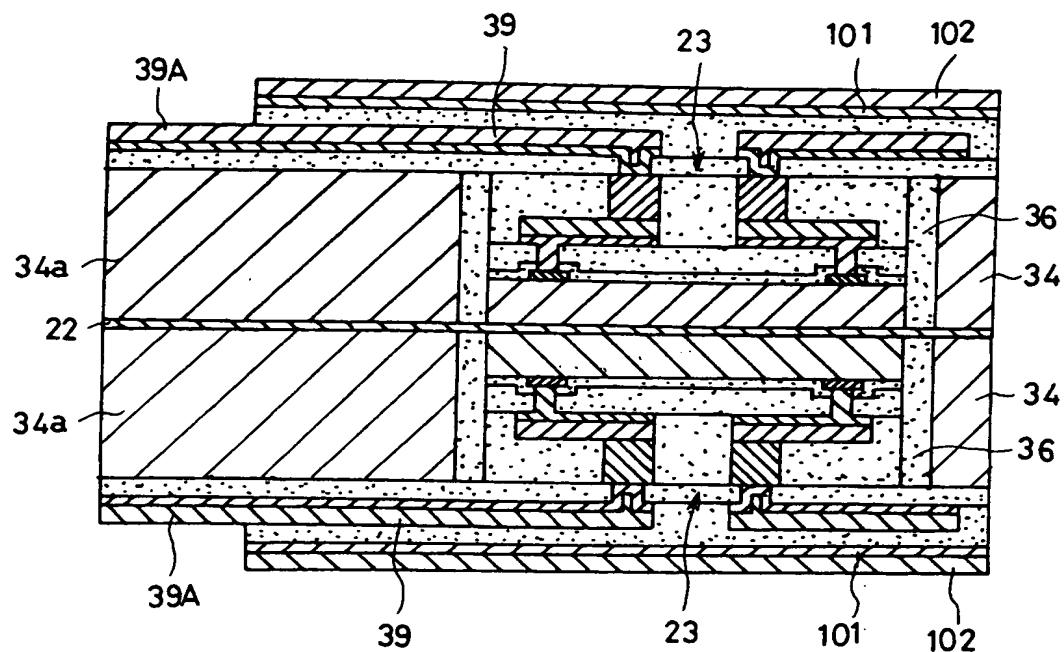
【図47】



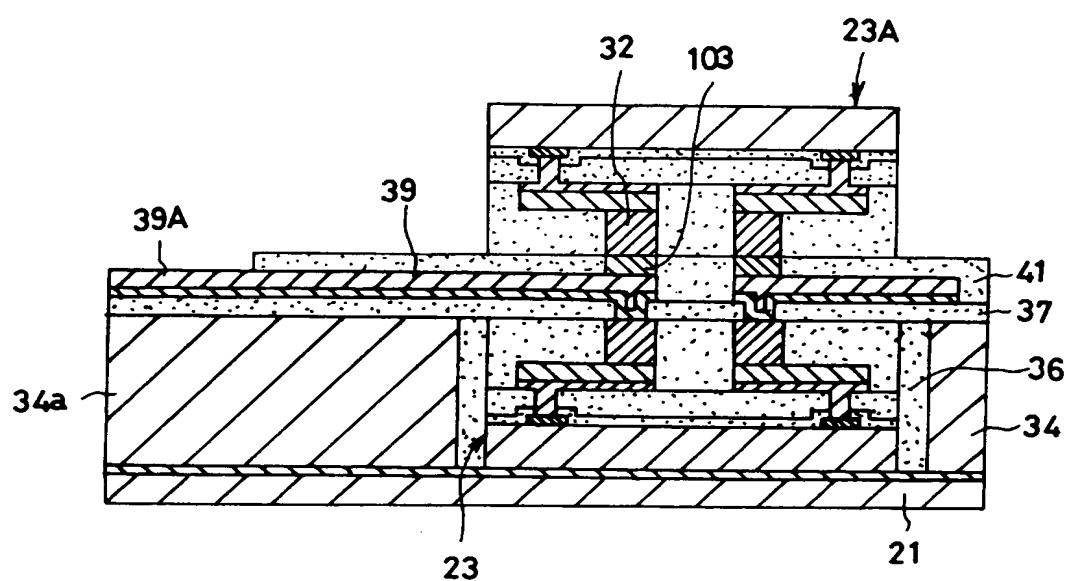
【図48】



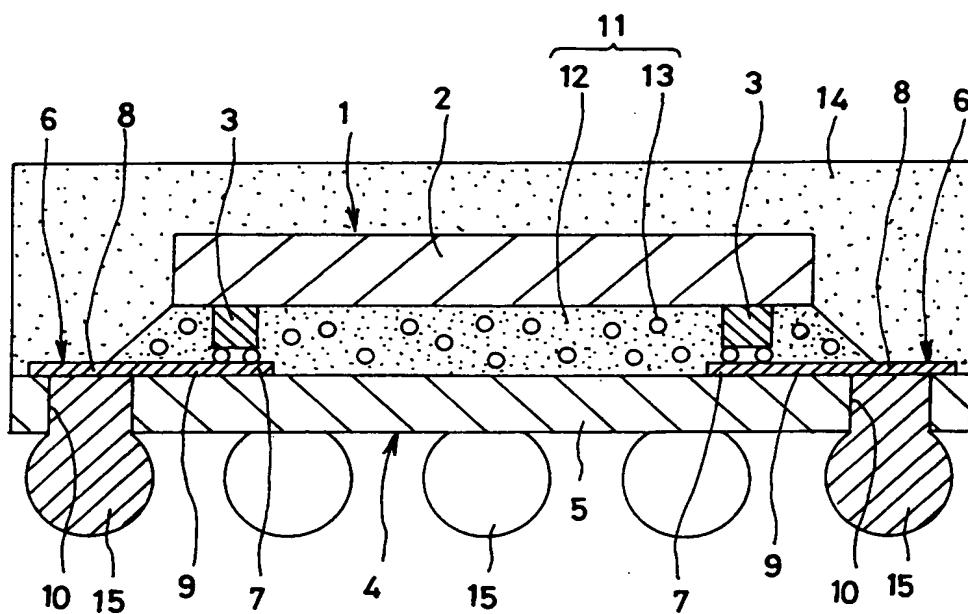
【図49】



【図 50】



【図51】



【書類名】 要約書

【要約】

【課題】 例えばBGAと呼ばれる半導体装置の製造に際し、シリコン基板と半田ボールとをボンディング工程を経ることなく導電接続する。

【解決手段】 複数の半導体装置に対応するサイズのベース板21上の接着層22上に格子状の埋込材34を接着する。次に、埋込材34の開口部内における接着層22上に、シリコン基板24上に再配線31、柱状電極32および封止膜33を設けてなる半導体構成体23を接着する。次に、半導体構成体23とその外側の方形枠状の埋込材34との間に封止膜36を形成する。次に、第1の上層絶縁膜37、第1の上層再配線39、第2の上層絶縁膜41、第2の上層再配線43、第3の上層絶縁膜44を順次、積層状に形成し、次いで半田ボール46を形成する。次に、互いに隣接する半導体構成体23間において切断すると、半田ボール46を備えた半導体装置が複数個得られる。

【選択図】 図17

認定・付加情報

特許出願の番号	特願 2002-254695
受付番号	50201299805
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 9月 4日

<認定情報・付加情報>

【提出日】	平成14年 8月30日
-------	-------------

次頁無

出証特 2004-3017950

特願 2002-254695

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日

[変更理由] 住所変更

住所 東京都渋谷区本町1丁目6番2号
氏名 カシオ計算機株式会社